



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

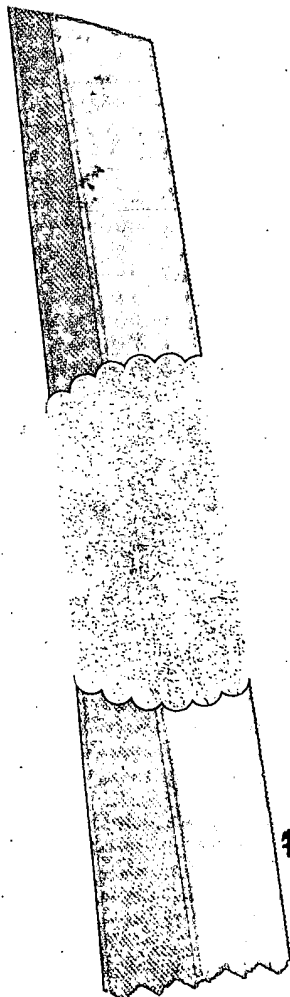
2001年 3月27日

出 願 番 号  
Application Number:

特願2001-091111

出 願 人  
Applicant(s):

セイコーエプソン株式会社

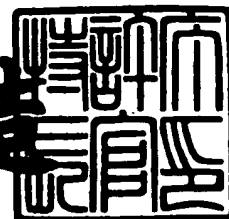


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3030954

【書類名】 特許願

【整理番号】 J0083635

【提出日】 平成13年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00  
G06F 15/00

【発明の名称】 情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム

【請求項の数】 25

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 小須田 司

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 早川 求

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100098084

【弁理士】

【氏名又は名称】 川▲崎▼ 研二

【先の出願に基づく優先権主張】

【出願番号】 特願2000-100123

【出願日】 平成12年 3月31日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-100122

【出願日】 平成12年 3月31日

【手数料の表示】

【予納台帳番号】 038265

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606536

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム

【特許請求の範囲】

【請求項 1】 第 1 クロック信号を生成し、電源電圧が第 1 最低動作電圧以上の電圧で動作可能な第 1 発振回路と、

第 2 クロック信号を生成し、前記電源電圧が前記第 1 最低動作電圧より高い第 2 最低動作電圧以上の電圧で動作可能な第 2 発振回路と、

前記電源電圧に基づいて前記第 1 クロック信号あるいは前記第 2 クロック信号のいずれかを選択し、クロック信号として出力する切替回路と、

前記クロック信号に同期して情報処理を行う情報処理部と  
を備えたことを特徴とする情報処理装置。

【請求項 2】 請求項 1 記載の情報処理装置において、

前記電源電圧が前記第 1 最低動作電圧以上前記第 2 最低動作電圧未満の領域においては、前記切替回路は前記第 1 クロック信号を前記クロック信号として出力し、前記電源電圧が前記第 2 最低動作電圧以上の領域においては前記切替回路は前記第 2 クロック信号を前記クロック信号として出力することを特徴とする情報処理装置。

【請求項 3】 請求項 1 または請求項 2 記載の情報処理装置において、

前記電源電圧を計測する電源電圧計測回路を備えたことを特徴とする情報処理装置。

【請求項 4】 発振により第 1 クロック信号を生成し、発振開始から第 1 クロック信号の周波数が安定するまでに必要な時間が第 1 発振安定時間である第 1 発振回路と、

発振により第 2 クロック信号を生成し、発振開始から第 2 クロック信号の周波数が安定するまでに必要な時間が前記第 1 発振安定時間よりも長い第 2 発振安定時間である第 2 発振回路と、

前記第 1 発振回路の発振開始からの経過時間および前記第 2 発振回路の発振開始からの経過時間に基づいて前記第 1 クロック信号あるいは前記第 2 クロック信

号のいずれかを選択してクロック信号として出力する切替回路と、  
前記クロック信号に同期して情報処理を行う情報処理部と、  
を備えたことを特徴とする情報処理装置。

【請求項 5】 請求項 4 記載の情報処理装置において、  
前記切替回路は、前記第 1 発振安定時間を経過し、かつ前記第 2 発振安定時間を経過するまでは、前記第 1 クロック信号を選択し、前記第 2 発振安定時間を経過した後は前記第 2 クロック信号を選択することを特徴とする情報処理装置。

【請求項 6】 請求項 1 ないし請求項 5 のいずれかに記載の情報処理装置において、

前記第 1 発振回路は C R 発振回路、水晶発振回路あるいはセラロック発振回路のいずれかであり、前記第 2 発振回路は P L L 発振回路であることを特徴とする情報処理装置。

【請求項 7】 請求項 4 記載の情報処理装置において、  
前記第 1 発振回路は C R 発振回路、水晶発振回路あるいはセラロック発振回路のいずれかであり、前記第 2 発振回路は P L L 発振回路であり、

前記切替回路は、前記 P L L 発振回路が同期捕捉を完了する前は、前記第 1 クロック信号を前記クロック信号として出力し、前記 P L L 発振回路が同期捕捉を完了し、同期維持状態となった後は、前記第 2 クロック信号を前記クロック信号として出力することを特徴とする情報処理装置。

【請求項 8】 請求項 7 記載の情報処理装置において、  
前記切替回路は、前記 P L L 発振回路からロックアップ信号が出力されたときに前記同期捕捉の完了を検知することを特徴とする情報処理装置。

【請求項 9】 請求項 6 記載の情報処理装置において、  
前記 P L L 発振回路は、電圧制御電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、

基準クロック信号と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、

前記比較信号の低域成分を通過させるロウパスフィルタと、  
前記発振信号を分周し、前記比較発振信号を出力する分周器と、

所定のオフセット電圧を生成するオフセット電圧生成部と、  
前期ローパスフィルターの出力信号とオフセット電圧を足し合わせて、電圧制御信号を生成するアダー、  
を備えたことを特徴とする情報処理装置。

【請求項 1 0】 請求項 9 記載の情報処理装置において、  
前記オフセット電圧生成部は、予めオフセット電圧データを記憶するオフセット電圧データ記憶部と、  
前記オフセット電圧データを前記オフセット電圧に変換する D / A コンバータと、  
を備えたことを特徴とする情報処理装置。

【請求項 1 1】 請求項 1 0 記載の情報処理装置において、  
前記 P L L 発振回路は、当該 P L L 発振回路の所定のロックアップ状態における前記電圧制御信号に基づいて、前記オフセット電圧データを生成するオフセット電圧データ生成部を備えたことを特徴とする情報処理装置。

【請求項 1 2】 請求項 9 記載の情報処理装置において、  
前記オフセット電圧生成部は、所定の電源電圧を分圧して複数の分圧を生成する分圧部と、  
前記複数の分圧のいずれかを選択して前記オフセット制御信号とする電圧選択部と、  
を備えたことを特徴とする情報処理装置。

【請求項 1 3】 請求項 9 記載の情報処理装置において、  
前記オフセット電圧生成部は、所定の電源電圧を分圧して前記オフセット電圧を生成する分圧部を備えたことを特徴とする情報処理装置。

【請求項 1 4】 請求項 1 1 記載の情報処理装置において、  
前記所定のロックアップ状態は、前記オフセット電圧生成部による前記オフセット電圧を出力しない状態で前記 P L L 回路を前記発振信号が予め定めた所定の周波数となるようにロックアップさせた状態であることを特徴とする情報処理装置。

【請求項 1 5】 請求項 1 1 記載の情報処理装置において、

前記PLL発振回路は、予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出部と、

前記制御電圧検出手段の検出結果に基づいて前記オフセット電圧データを補正し、新たなオフセット電圧データとするオフセットデータ補正部と、を備えたことを特徴とする情報処理装置。

【請求項16】 クロック信号に基づいて各種情報処理を行う情報処理部と

第1クロック信号を生成し、電源電圧が第1最低動作電圧以上の電圧で駆動可能な第1発振回路と、第2クロック信号を生成し、前記電源電圧が前記第1最低動作電圧より高い第2最低動作電圧以上の電圧で駆動可能な第2発振回路と、前記電源電圧に基づいて前記第1クロック信号あるいは前記第2クロック信号のいずれかを前記クロック信号として出力する切替回路と、を有する情報処理装置の制御方法であって、

前記電源電圧を検出する電源電圧検出過程と、

前記電源電圧が前記第1最低動作電圧以上前記第2最低動作電圧未満の領域においては、前記切替回路が前記第1クロック信号を前記クロック信号として出力する第1クロック出力過程と、

前記電源電圧が前記第2最低動作電圧以上の領域においては、前記切替回路が前記第2クロック信号を前記クロック信号として出力する第2クロック出力過程と、

を備えたことを特徴とする情報処理装置の制御方法。

【請求項17】 発振により第1クロック信号を生成し、発振開始から第1クロック信号の周波数が安定するまでに必要な時間が第1発振安定時間である第1発振回路と、発振により第2クロック信号を生成し、発振開始から第2クロック信号の周波数が安定するまでに必要な時間が前記第1発振安定時間よりも長い第2発振安定時間である第2発振回路と、前記第1発振回路の発振開始からの経過時間および前記第2発振回路の発振開始からの経過時間に基づいて前記第1クロック信号あるいは前記第2クロック信号のいずれかを選択してクロック信号として出力する切替回路と、前記クロック信号に同期して情報処理を行う情報処理

部と、を備えた情報処理装置の制御方法において、前記第 1 発振安定時間を経過し、かつ前記第 2 発振安定時間を経過するまでは、前記第 1 クロック信号を選択し、前記第 2 発振安定時間を経過した後は前記第 2 クロック信号を選択することを特徴とする情報処理装置の制御方法。

【請求項 1 8】 請求項 1 6 または請求項 1 7 記載の情報処理装置の制御方法において、

前記第 2 発振回路は、電圧制御信号に対応する周波数を有する発振信号を出力する電圧制御発振器を有する P L L 発振回路であり、

前記電圧制御発振器に所定のオフセット電圧を、電圧制御信号として足し合わせるオフセット電圧重畳過程を備えたことを特徴とする情報処理装置の制御方法。

【請求項 1 9】 請求項 1 6 または請求項 1 7 記載の情報処理装置の制御方法において、

前記所定のオフセット電圧は、前記発振信号が所定の周波数となるように、当該 P L L 回路をロックアップさせた時の、前記電圧制御信号の電圧である事の特徴とする情報処理装置の制御方法。

【請求項 2 0】 請求項 1 6 または請求項 1 7 記載の情報処理装置の制御方法において、

予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出過程と、

検出した前記電圧制御信号の電圧に基づいて前記オフセット電圧を補正し、新たなオフセット電圧とするオフセット電圧補正過程と、

を備えたことを特徴とする情報処理装置の制御方法。

【請求項 2 1】 クロック信号に同期して各種情報処理を行う情報処理部と

第 1 クロック信号を生成し、電源電圧が第 1 最低動作電圧以上の電圧で駆動可能な第 1 発振回路と、第 2 クロック信号を生成し、前記電源電圧が前記第 1 最低動作電圧より高い第 2 最低動作電圧以上の電圧で駆動可能な第 2 発振回路と、前記電源電圧に基づいて前記第 1 クロック信号あるいは前記第 2 クロック信号のい



ずれかを前記クロック信号として出力する切替回路と、を有する情報処理装置を制御する制御プログラムであって、

前記電源電圧を検出させ、

前記電源電圧が前記第 1 最低動作電圧以上前記第 2 電圧未満の領域においては、前記切替回路に前記第 1 クロック信号を前記クロック信号として出力させ、

前記電源電圧が前記第 2 電圧以上の領域においては、前記切替回路に前記第 2 クロック信号を前記クロック信号として出力させる、

ことを特徴とする情報処理装置の制御プログラム。

【請求項 2 2】 クロック信号に同期して各種情報処理を行う情報処理部と、発振により第 1 クロック信号を生成し、発振開始から第 1 クロック信号の周波数が安定するまでに必要な時間が第 1 発振安定時間である第 1 発振回路と、発振により第 2 クロック信号を生成し、発振開始から第 2 クロック信号の周波数が安定するまでに必要な時間が前記第 1 発振安定時間よりも長い第 2 発振安定時間である第 2 発振回路と、前記第 1 発振回路の発振開始からの経過時間および前記第 2 発振回路の発振開始からの経過時間に基づいて前記第 1 クロック信号あるいは前記第 2 クロック信号のいずれかを選択してクロック信号として出力する切替回路と、を備えた情報処理装置を制御する制御プログラムであって、

前記第 1 発振安定時間を経過し、かつ前記第 2 発振安定時間を経過するまでは、前記第 1 クロック信号を選択させ、

前記第 2 発振安定時間を経過した後は前記第 2 クロック信号を選択させることを特徴とする情報処理装置の制御プログラム。

【請求項 2 3】 請求項 2 1 または請求項 2 2 記載の情報処理装置の制御プログラムにおいて、

前記第 2 発振回路は、電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器を有する P L L 発振回路であり、

前記電圧制御信号の電圧に所定のオフセット電圧を足し合わせることを特徴とする情報処理装置の制御プログラム。

【請求項 2 4】 請求項 2 3 記載の情報処理装置の制御プログラムにおいて

前記所定のオフセット電圧は、オフセット電圧を足し合わせない状態で当該PLL回路を前記発振信号が予め定めた所定の周波数となるようにロックアップさせた状態において得られる前記電圧制御信号の電圧に設定されることを特徴とする情報処理装置の制御プログラム。

【請求項 2 5】 請求項 2 3 記載の情報処理装置の制御プログラムにおいて

予め定めた所定のタイミングで前記電圧制御信号の電圧を検出させ、  
検出した前記電圧制御信号の電圧に基づいて前記オフセット電圧を補正し、新たなオフセット電圧とさせる、  
ことを特徴とする情報処理装置の制御プログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、情報処理装置に係り、特に発振回路を内蔵した情報処理装置において、消費電力を低減するための技術に関する。

【0 0 0 2】

【従来の技術】

小型携帯機器などは、電源として電池が用いられるのが一般的である。従って、この種の小型携帯機器に搭載されるワンチップマイクロコンピュータは、電池寿命を長くするため、低電圧・低消費電力のものが望まれる。

これを実現すべく、小型携帯機器では、1 [V] 前後の電源電圧、3 2 [k H z] という低速のクロックでワンチップマイクロコンピュータが駆動されるのが一般的である。

【0 0 0 3】

しかしながら小型携帯機器にある程度の情報処理能力を持たせる場合には、動作周波数 3 2 [k H z] では処理が間に合わないという不具合が生じる。

これを解決すべく、従来においては、3 2 [k H z] 程度の低動作周波数の発振回路と、4 [M H z] 程度の高動作周波数の発振回路と、を設け、高速処理が必要とされるときだけ、高動作周波数で動作させ、それ以外の場合には、低動作

周波数で動作させるツインクロックマイクロコンピュータが提案されている。

【 0 0 0 4 】

【発明が解決しようとする課題】

ところで、動作周波数と消費電力とはほぼ比例する関係にあり、処理の高速化を図ることは、消費電力の観点からは望ましくない。

しかしながら、近年の小型携帯機器はさらなる処理の高速化が求められており、その一方、より一層の低消費電力化が望まれている。

そこで、本発明の目的は、消費電力を低減し、しかも処理の高速化を図ることが可能な情報処理装置を提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】

上記課題を解決するため、情報処理装置は、第 1 クロック信号を生成し、電源電圧が第 1 最低動作電圧以上の電圧で動作可能な第 1 発振回路と、第 2 クロック信号を生成し、電源電圧が第 1 最低動作電圧より高い第 2 最低動作電圧以上の電圧で動作可能な第 2 発振回路と、電源電圧に基づいて第 1 クロック信号あるいは第 2 クロック信号のいずれかを選択し、クロック信号として出力する切替回路と、クロック信号に同期して情報処理を行う情報処理部とを備えたことを特徴としている。

上記構成によれば、第 1 発振回路は、電源電圧が第 1 最低動作電圧以上の電圧で動作し、第 1 クロック信号を生成して切替回路に出力する。

第 2 発振回路は、電源電圧が第 2 最低動作電圧以上の電圧で動作し、第 2 クロック信号を生成して切替回路に出力する。

切替回路は、電源電圧に基づいて第 1 クロック信号あるいは第 2 クロック信号のいずれかを選択し、クロック信号として情報処理部に出力する。

情報処理部は、クロック信号に同期して情報処理を行う。

【 0 0 0 6 】

この場合において、電源電圧が第 1 最低動作電圧以上第 2 最低動作電圧未満の領域においては、切替回路は第 1 クロック信号をクロック信号として出力し、電源電圧が第 2 最低動作電圧以上の領域においては切替回路は第 2 クロック信号を

クロック信号として出力するようにしてもよい。

また、電源電圧を計測する電源電圧計測回路を備えるようにしてもよい。

【 0 0 0 7 】

また、情報処理装置は、発振により第 1 クロック信号を生成し、発振開始から第 1 クロック信号の周波数が安定するまでに必要な時間が第 1 発振安定時間である第 1 発振回路と、発振により第 2 クロック信号を生成し、発振開始から第 2 クロック信号の周波数が安定するまでに必要な時間が第 1 発振安定時間よりも長い第 2 発振安定時間である第 2 発振回路と、第 1 発振回路の発振開始からの経過時間および第 2 発振回路の発振開始からの経過時間に基づいて第 1 クロック信号あるいは第 2 クロック信号のいずれかを選択してクロック信号として出力する切替回路と、クロック信号に同期して情報処理を行う情報処理部と、を備えたことを特徴としている。

上記構成によれば、第 1 発振回路は、第 1 クロック信号を生成して切替回路に出力する。

第 2 発振回路は、第 2 クロック信号を生成して切替回路に出力する。

切替回路は、第 1 発振回路の発振開始からの経過時間および第 2 発振回路の発振開始からの経過時間に基づいて第 1 クロック信号あるいは第 2 クロック信号のいずれかを選択してクロック信号として情報処理部に出力する。

情報処理部は、クロック信号に同期して情報処理を行う。

【 0 0 0 8 】

この場合において、切替回路は、第 1 発振安定時間を経過し、かつ第 2 発振安定時間を経過するまでは、第 1 クロック信号を選択し、第 2 発振安定時間を経過した後は第 2 クロック信号を選択するようにしてもよい。

【 0 0 0 9 】

また、第 1 発振回路は C R 発振回路、水晶発振回路あるいはセラミック発振回路のいずれかであり、第 2 発振回路は P L L 発振回路であるようにしてもよい。

【 0 0 1 0 】

さらに第 1 発振回路は C R 発振回路、水晶発振回路あるいはセラミック発振回路のいずれかであり、第 2 発振回路は P L L 発振回路であり、切替回路は、 P L

L発振回路が同期捕捉を完了する前は、第1クロック信号をクロック信号として出力し、PLL発振回路が同期捕捉を完了し、同期維持状態となった後は、第2クロック信号をクロック信号として出力するようにしてもよい。

## 【0011】

さらにまた、切替回路は、PLL発振回路からロックアップ信号が出力されたときに同期捕捉の完了を検知するようにしてもよい。

## 【0012】

また、PLL発振回路は、電圧制御電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、基準クロック信号と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、比較信号の低域成分を通過させるローパスフィルタと、発振信号を分周し、比較発振信号を出力する分周器と、所定のオフセット電圧を生成するオフセット電圧生成部と、前期ローパスフィルタの出力信号とオフセット電圧を足し合わせて、電圧制御信号を生成するアダーと、を備えるようにしてもよい。

## 【0013】

さらにオフセット電圧生成部は、予めオフセット電圧データを記憶するオフセット電圧データ記憶部と、オフセット電圧データをオフセット電圧に変換するD/Aコンバータと、を備えるようにしてもよい。

## 【0014】

さらにまた、PLL発振回路は、当該PLL発振回路の所定のロックアップ状態における電圧制御信号に基づいて、オフセット電圧データを生成するオフセット電圧データ生成部を備えるようにしてもよい。

## 【0015】

また、オフセット電圧生成部は、所定の電源電圧を分圧して複数の分圧を生成する分圧部と、複数の分圧のいずれかを選択してオフセット制御信号とする電圧選択部と、を備えるようにしてもよい。

## 【0016】

さらにオフセット電圧生成部は、所定の電源電圧を分圧してオフセット電圧を生成する分圧部を備えるようにしてもよい。

## 【 0 0 1 7 】

さらにまた、所定のロックアップ状態は、オフセット電圧生成部によるオフセット電圧を出力しない状態でPLL回路を発振信号が予め定めた所定の周波数となるようにロックアップさせた状態であるようにしてもよい。

## 【 0 0 1 8 】

また、PLL発振回路は、予め定めた所定のタイミングで電圧制御信号の電圧を検出する制御電圧検出部と、制御電圧検出手段の検出結果に基づいてオフセット電圧データを補正し、新たなオフセット電圧データとするオフセットデータ補正部と、を備えるようにしてもよい。

## 【 0 0 1 9 】

また、クロック信号に基づいて各種情報処理を行う情報処理部と、第1クロック信号を生成し、電源電圧が第1最低動作電圧以上の電圧で駆動可能な第1発振回路と、第2クロック信号を生成し、電源電圧が第1最低動作電圧より高い第2最低動作電圧以上の電圧で駆動可能な第2発振回路と、電源電圧に基づいて第1クロック信号あるいは第2クロック信号のいずれかをクロック信号として出力する切替回路と、を有する情報処理装置の制御方法であって、電源電圧を検出する電源電圧検出過程と、電源電圧が第1最低動作電圧以上第2最低動作電圧未満の領域においては、切替回路が第1クロック信号をクロック信号として出力する第1クロック出力過程と、電源電圧が第2最低動作電圧以上の領域においては、切替回路が第2クロック信号をクロック信号として出力する第2クロック出力過程と、を備えたことを特徴としている。

上記構成によれば、電源電圧検出過程において、電源電圧を検出する。

第1クロック出力過程においては、電源電圧が第1最低動作電圧以上第2最低動作電圧未満の領域において切替回路が第1クロック信号をクロック信号として出力する。

第2クロック出力過程においては、電源電圧が第2最低動作電圧以上の領域において切替回路が第2クロック信号をクロック信号として出力する。

## 【 0 0 2 0 】

また、発振により第1クロック信号を生成し、発振開始から第1クロック信号

の周波数が安定するまでに必要な時間が第 1 発振安定時間である第 1 発振回路と、発振により第 2 クロック信号を生成し、発振開始から第 2 クロック信号の周波数が安定するまでに必要な時間が第 1 発振安定時間よりも長い第 2 発振安定時間である第 2 発振回路と、第 1 発振回路の発振開始からの経過時間および第 2 発振回路の発振開始からの経過時間に基づいて第 1 クロック信号あるいは第 2 クロック信号のいずれかを選択してクロック信号として出力する切替回路と、クロック信号に同期して情報処理を行う情報処理部と、を備えた情報処理装置の制御方法において、第 1 発振安定時間を経過し、かつ第 2 発振安定時間を経過するまでは、第 1 クロック信号を選択し、第 2 発振安定時間を経過した後は第 2 クロック信号を選択することを特徴としている。

上記構成によれば、第 1 発振安定時間を経過し、かつ第 2 発振安定時間を経過するまでは、第 1 クロック信号を選択し、第 2 発振安定時間を経過した後は第 2 クロック信号を選択する

#### 【 0 0 2 1 】

この場合において、第 2 発振回路は、電圧制御信号に対応する周波数を有する発振信号を出力する電圧制御発振器を有する PLL 発振回路であり、電圧制御発振器に所定のオフセット電圧を、電圧制御信号として足し合わせるオフセット電圧重畳過程を備えるようにしてもよい。

#### 【 0 0 2 2 】

また、所定のオフセット電圧は、発振信号が所定の周波数となるように、当該 PLL 回路をロックアップさせた時の、電圧制御信号の電圧であるようにしてもよい。

#### 【 0 0 2 3 】

さらに予め定めた所定のタイミングで電圧制御信号の電圧を検出する制御電圧検出過程と、検出した電圧制御信号の電圧に基づいてオフセット電圧を補正し、新たなオフセット電圧とするオフセット電圧補正過程と、を備えるようにしてもよい。

#### 【 0 0 2 4 】

また、クロック信号に同期して各種情報処理を行う情報処理部と、第 1 クロッ

ク信号を生成し、電源電圧が第1最低動作電圧以上の電圧で駆動可能な第1発振回路と、第2クロック信号を生成し、電源電圧が第1最低動作電圧より高い第2最低動作電圧以上の電圧で駆動可能な第2発振回路と、電源電圧に基づいて第1クロック信号あるいは第2クロック信号のいずれかをクロック信号として出力する切替回路と、を有する情報処理装置を制御する制御プログラムであって、電源電圧を検出させ、電源電圧が第1最低動作電圧以上第2電圧未満の領域においては、切替回路に第1クロック信号をクロック信号として出力させ、電源電圧が第2電圧以上の領域においては、切替回路に第2クロック信号をクロック信号として出力させる、ことを特徴としている。

上記構成によれば、電源電圧を検出させ、電源電圧が第1最低動作電圧以上第2電圧未満の領域においては、切替回路に第1クロック信号をクロック信号として出力させ、電源電圧が第2電圧以上の領域においては、切替回路に第2クロック信号をクロック信号として出力させる。

#### 【0025】

また、クロック信号に同期して各種情報処理を行う情報処理部と、発振により第1クロック信号を生成し、発振開始から第1クロック信号の周波数が安定するまでに必要な時間が第1発振安定時間である第1発振回路と、発振により第2クロック信号を生成し、発振開始から第2クロック信号の周波数が安定するまでに必要な時間が第1発振安定時間よりも長い第2発振安定時間である第2発振回路と、第1発振回路の発振開始からの経過時間および第2発振回路の発振開始からの経過時間に基づいて第1クロック信号あるいは第2クロック信号のいずれかを選択してクロック信号として出力する切替回路と、を備えた情報処理装置を制御する制御プログラムであって、第1発振安定時間を経過し、かつ第2発振安定時間を経過するまでは、第1クロック信号を選択させ、第2発振安定時間を経過した後は第2クロック信号を選択させることを特徴としている。

上記構成によれば、第1発振安定時間を経過し、かつ第2発振安定時間を経過するまでは、第1クロック信号を選択させ、第2発振安定時間を経過した後は第2クロック信号を選択させる。

#### 【0026】



また、第2発振回路は、電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器を有するPLL発振回路であり、電圧制御信号の電圧に所定のオフセット電圧を足し合わせるようにしてもよい。

【0027】

さらに、所定のオフセット電圧は、オフセット電圧を足し合わせない状態で当該PLL回路を発振信号が予め定めた所定の周波数となるようにロックアップさせた状態において得られる電圧制御信号の電圧に設定されるようにしてもよい。

【0028】

さらにまた、予め定めた所定のタイミングで電圧制御信号の電圧を検出させ、検出した電圧制御信号の電圧に基づいてオフセット電圧を補正し、新たなオフセット電圧とさせるようにしてもよい。

【0029】

#### 【発明の実施の形態】

次に図面を参照して本発明の好適な実施形態について説明する。

#### [1] 第1実施形態

##### [1. 1] 第1実施形態の構成

##### [1. 1. 1] 機械的構成

図1に第1実施形態にかかる腕時計型情報処理装置とステーションの構成を示す平面図を示す。

図1において、腕時計型情報処理装置200は、電源として二次電池を内蔵しており、この二次電池からの電源供給を受け、時計としての機能と情報処理装置としての機能を営むことができる。更に詳述すると、この腕時計型情報処理装置200は、通常の使用状態ではユーザの腕に装着されて、表示部204において日付時刻等を表示する一方、図示しないセンサ等によって、脈拍数や心拍数などの生体情報を一定時間毎に検出・記憶する情報処理機能を有している。ステーション100は、この腕時計型情報処理装置200の二次電池への充電や腕時計型情報処理装置200とのデータ転送など行うに用いられる装置である。このステーション100は、腕時計型情報処理装置200の本体201およびバンド202よりも若干大きめの形状の凹部101を有している。腕時計型情報処理装置2

00は、その本体201およびバンド202が凹部101に收容された状態でステーション100に固定される。

また、ステーション100には、充電の開始を指示するための充電開始ボタン103Aや、データ転送の開始を指示するための転送開始ボタン103Bなどの各種入力部とともに、各種の表示を行うための表示部104が設けられている。

#### 【0030】

図2に、図1におけるA-A線の断面図を示す。

図2に示すように、腕時計型情報処理装置200の本体201の下面は裏蓋212によって塞がれている。腕時計型情報処理装置200は、この裏蓋212を凹部101の底部に対向させた状態でステーション100に固定される。本体201における裏蓋212の内側の空間には、回路基板221やこの回路基板221上の回路に電源電圧を供給する二次電池220が収納されている。裏蓋212には開口部があり、この開口部はカバーガラス211によって塞がれている。このカバーガラス211の内側の表面にはデータ転送や充電のための時計側コイル210が配置されている。

一方、ステーション100の凹部101の底部には、充電開始ボタン103A、転送開始ボタン103B、表示部104、一次電源（図示省略）などと接続された回路基板121を収納した空室がある。この空室の天井に開口部があり、この開口部はカバーガラス111によって塞がれている。このカバーガラス111の内側には、ステーション側コイル110が固定されている。このステーション側コイル110は、ステーション100側のカバーガラス111と腕時計型情報処理装置200のカバーガラス211とを介して、腕時計型情報処理装置200の本体201内部のコイル221と対向している。

#### 【0031】

このように、腕時計型情報処理装置200がステーション100に收容された状態において、ステーション側コイル110と時計側コイル210とは、カバーガラス111、211により物理的には非接触である。しかしながら、コイル巻回面が略平行なので電磁的には結合した状態となる。

また、ステーション側コイル110および時計側コイル210とは、それぞれ

時計機構部分の着磁を避ける理由や、時計側の重量増加を避ける理由、磁性金属の露出を避ける理由などにより、磁心を有さない空心型となっている。しかし、このようなことが問題とならない電子機器に適用する場合には、磁心を有するコイルを採用しても良い。もっとも、コイルに与える信号周波数が十分に高いのであれば、空心型で十分である。

#### 【 0 0 3 2 】

図 3 に腕時計型情報処理装置の正面図を示す。

腕時計型情報処理装置 2 0 0 の本体 2 0 1 の上部（紙面手前側）には、円環状に形成された回転ベゼル 2 0 2 が本体 2 0 1 に対して摺動可能に配置されている。また、回転ベゼル 2 0 2 の上面には、等間隔に「ア、イ、ウ、……、9、:、～」の文字等が印刷等により形成されている。

#### 【 0 0 3 3 】

回転ベゼル 2 0 2 の内周側には、カバーガラス 2 0 3 が配設されており、このカバーガラス 2 0 3 の下面側（紙面奥側）に、腕時計型情報処理装置 2 0 0 に入力された情報等が表示される表示部 2 0 4 が配設されている。

表示部 2 0 4 の図面上側には回転ベゼル 2 0 2 上に形成された文字等の 1 つを指示する指示マーク 2 0 9 が印刷等により形成されている。

また、本体 2 0 1 の周囲には、確定スイッチ 2 0 5、削除スイッチ 2 0 6、濁点スイッチ 2 0 7 および原点スイッチ 2 0 8 がそれぞれ配設されている。なお、これらのスイッチは、カバーガラス 2 0 3 上に設けるようにしてもよい。

#### 【 0 0 3 4 】

図 4 に腕時計型情報処理装置 2 0 0 から回転ベゼル 2 0 2 を取り外した状態を示す。また、図 5 に、図 3 の IV-IV 線に沿って視た図を示す。図 4 および図 5 に示すように、本体 2 0 1 の上部には、円周上に溝 3 4 が形成されている。一方、図 5 に示すように回転ベゼル 2 0 2 の下面には、下側に突出する突条 4 6 が形成されている。そして、この突条 4 6 が溝 3 4 に摺動可能に嵌合されている。また、回転ベゼル 2 0 2 の図 5 で右側の側面と本体 2 0 1 との間にはリング 4 7 が配置されている。このリング 4 7 により腕時計型情報処理装置 2 0 0 内部への水や光などの侵入を防止している。

図4に示すように、本体201には孔31a、31bが形成されており、この孔31a、31b内に第1センサユニット32と、第2センサユニット33とがそれぞれ配置されている。

この場合において、第1センサユニット32と回転ベゼル202の回転中心Oとを結ぶ線と、第2センサユニット33と回転中心Oとを結ぶ線とが角度 $\theta 1$ をなすように第1センサユニット32および第2センサユニット33がそれぞれ配置されている。なお、角度 $\theta 1$ については後述する。

また、第1センサユニット32は、上述した指示マーク209が指示する文字等（図4の場合「ア」）の下方（図4の紙面奥側）に配置されている。

#### 【0035】

図5に示すように、回転ベゼル202の下面には、回転ベゼル202の上面に形成された文字等に対応する位置に光学パターン41が形成されている。この光学パターン41が形成された面の下方にはセンサカバーガラス42が本体201に取り付けられている。このとき、本体201とセンサカバーガラス42の間にはパッキン43が配設されており、これによりセンサカバーガラス42の下部への水等の侵入を防止することができる。

センサカバーガラス42の下方には、第1センサユニット32が配設されている。

第1センサユニット32は、LED (Light Emitting Diode) 44と、フォトダイオード45と、LED44とフォトダイオード45との間に配置される遮光板44aと、基板48とから構成されている。LED44が光学パターン41に向けて第1検出光L1を射出、照射し、その反射光をフォトダイオード45が受光し、第1センサユニット32は、受光した第1検出光L1に基づいて第1検出信号Aを生成する。

#### 【0036】

第2センサユニット33は、第1センサユニット32と同様なLEDとフォトダイオードと遮光板と基板とから構成されている。そして、LEDが光学パターン41に向けて第2検出光L2を射出、照射し、その反射光をフォトダイオードが受光し、受光した第2検出光L2に基づいて第2検出信号Bを生成する。

第1センサユニット32の基板48の下側には、接点バネ47が設けられており、この接点バネ47により第1センサユニット32及び第2センサユニット33と腕時計型情報処理装置200のCPU等が電氣的に接続されている。なお、接点バネ47の代わりにリード線を設けるようにしてもよい。

このように第1センサユニット32の生成した第1検出信号A及び第2センサユニット33が生成した第2検出信号Bが後述する情報処理部81（図14参照）によってカウントされ、これにより回転ベゼル202の回転角度及び回転方向を検出している。

### 【0037】

#### [1. 1. 2] 光学パターンについて

次に、光学パターン41について説明する。

図6は、反射部材として機能する回転ベゼル202の下面を示す図である。

図6に示すように、回転ベゼル202の下面の外周部には、円状の軌道に沿って、LED44の照射する光を吸収する吸収領域41aとLED44の光を反射する反射領域41bとが交互に繰り返り並んだ光学パターン41が形成されている。このとき、吸収領域41aまたは反射領域41bの中心から回転ベゼル202の回転中心Oに至る線分とその領域に隣接する反射領域41bまたは吸収領域41aの中心から回転中心Oに至る線分とがなす角度はいずれも $\theta 2$ である。

この場合において、上述した回転ベゼル202の上面に形成された文字等がn個（nは偶数）の場合には、 $\theta 2 = 360 / n [^\circ]$ となる。

### 【0038】

第1センサユニット32は、使用者が回転ベゼル202を回転させたときに、図7（a）に示す光学パターン41の吸収領域41aと反射領域41bとを交互に読み取ることにより、図7（b）に示すような略正弦波形を有する第1検出信号Aを生成することができる。

一方、第2センサユニット33も同様に、図7（c）に示すような略正弦波形を有する第2検出信号Bを生成することとなる。

この場合において、第1検出信号Aと第2検出信号Bの位相は、後に詳述するように、 $1/4$ 波長だけずれるように吸収領域41a及び反射領域41b並びに

第1センサユニット32及び第2センサユニット33の配置が設定されている。

【0039】

[1. 1. 3] センサユニットの配置

次に、第1センサユニット32と第2センサユニット33との間の角度 $\theta_2$ について説明する。

本実施形態では、 $\theta_1 = \theta_2 + \theta_2 / 2$ となるように第1センサユニット32および第2センサユニット33が配置されている。これにより、回転ベゼル202が使用者により回転させられた場合には、第1センサユニット32が生成する第1検出信号Aと第2センサユニット33が生成する第2検出信号Bに $1/4$ の位相差が生じることになる。

図7に示すように、回転ベゼル202を時計回りに回転させた場合には、第2センサユニット33の生成する第2検出信号Bに第1センサユニット32の生成する第1検出信号Aより $1/4$ の位相進みが生じる。また、回転ベゼル202を反時計回りに回転させた場合には、第2センサユニット33の生成するパルス信号に第1センサユニット32の生成するパルス信号より $1/4$ の位相遅れが生じることになる。このような位相遅れ・位相進みを検知することによって後述するように回転ベゼル202の回転方向を検出することが可能となっている。

【0040】

[1. 1. 4] 概要構成

次に、腕時計型情報処理装置200の概要構成について図8を参照して説明する。

腕時計型情報処理装置200の回路基板221（図2）には、マイクロプロセッサユニット（MPU）251と、発振部252と、充電通信部253と、フラッシュメモリ254と、LCDドライバ255と、LCD256と、入出力インターフェース部257と、電圧発生部258と、電圧検出部259と、RAM260と、入力情報処理部261とが搭載され、さらにこれらを相互に接続するバス262が形成されている。また、二次電池220の出力電圧は、電圧発生部258および電圧検出部259に供給される。

マイクロプロセッサユニット251は、腕時計型情報処理装置200全体の制

御を行う。この制御に際し、制御信号CNT1～CNT4を発振部252に対して出力している。

発振部252は、制御信号CNT1～CNT4に基づいてクロック信号CLK1及びクロック信号CLK2を生成し出力する。

#### 【0041】

充電通信部253は、時計側コイル210を介してステーション100からの電力供給を受け、二次電池220に充電電流を供給する。また、充電通信部253は、時計側コイル210によりステーション100との間でデータの送受信を行う。

二次電池220は、充電通信部253から供給された充電電流を蓄える。この二次電池220の充電電圧は、各部に駆動用電源電圧として供給される。

フラッシュメモリ254は、各種のキャラクタ表示のための表示パターンデータを記憶した不揮発性メモリであり、キャラクタジェネレータとして機能する。

LCDドライバ255は、マイクロプロセッサユニット251の制御下で各種データをLCD256に表示する。

入出力インターフェース部257は、確定スイッチ205、削除スイッチ206、濁点スイッチ207および原点スイッチ208の動作状態を検出するとともに、各スイッチとマイクロプロセッサユニット251との間のインターフェース動作を行う。

#### 【0042】

電圧発生部258は、二次電池220からの電源VCCの供給を受けて水晶発振回路用電源VCC1およびシステム用電源VCC2を供給する。

電圧検出部259は、二次電池220の電源電圧VCCの電圧を検出する。

RAM260は、各種データを一時的に記憶する。

入力情報処理部261は、ベゼル202の操作によって入力されたデータを求め、そのデータをMPU251に知らせるデータ入力処理を行う。

次に、発振部252、電圧発生部258および入力情報処理部261の詳細構成について説明する。

## 【 0 0 4 3 】

図 9 に発振部の詳細構成ブロック図を示す。

発振部 2 5 2 は、水晶発振回路 5 1 と、C R 発振回路 5 2 と、P L L 発振回路 5 3 と、セクタ 5 4 と、を備えて構成されている。

水晶発振回路 5 1 は、低速発振回路であり、制御信号 C N T 2 に基づいて、水晶発振回路用電源 V C C 1 の供給を受けて計時用の低周波数（3 2 k H z）のクロック信号 C L K 1 を出力する。

C R 発振回路 5 2 は、第 1 の高速発振回路であり、制御信号 C N T 3 に基づいて、情報処理用の高周波数（例えば、1 M H z ～ 8 M H z）のクロック信号 C L K 1 1 を出力する。

P L L 発振回路 5 3 は、第 2 の高速発振回路であり、制御信号 C N T 4 および情報処理用の高周波数（例えば、4 M H z ～ 1 6 M H z）のクロック信号 C L K 1 2 を出力する。

## 【 0 0 4 4 】

セクタ 5 4 は、後述の情報処理部 8 1 からの制御信号 C N T 1 により C R 発振回路 5 2 と P L L 発振回路 5 3 のいずれかを選択し、選択した回路の出力信号をクロック信号 C L K 2 として出力する。

この場合において、水晶発振回路 5 1 に対応するクロック信号 C L K 1 は時計表示用（計時用）に用いられるものであり、C R 発振回路 5 2 および P L L 発振回路 5 3 に対応するクロック信号 C L K 2 は、後述の情報処理部 8 1 において情報処理用に用いられるものである。

ここで、水晶発振回路 5 1、C R 発振回路 5 2 および P L L 発振回路 5 3 の構成について説明する。

水晶発振回路 5 1 の構成は、図 1 0 に示す通りである。水晶発振回路 5 1 は、第 1 インバータ回路 5 1 E を有している。この第 1 インバータ回路 5 1 E の入力端子と出力端子との間には、発振周波数 3 2 k H z の水晶振動子 5 1 A 抵抗 5 1 B とが並列に介挿されている。また、第 1 インバータ回路 5 1 E は、その入力端子がコンデンサ 5 1 C を介して低電位側電源（G N D）に接続されており、出力端子がコンデンサ 5 1 D を介して低電位側電源（G N D）に接続されている。第



2 インバータ回路 5 1 F は、第 1 インバータ回路 5 1 E の出力信号を増幅し、3 2 k H z のクロック信号 C L K 1 を出力する。

【 0 0 4 5 】

C R 発振回路 5 2 は、図 1 1 に示すように、縦続接続された第 1 インバータ回路 5 2 B と、第 2 インバータ回路 5 2 C と、第 3 インバータ回路 5 2 E とを有している。ここで、第 1 インバータ回路 5 2 B の入力端子および出力端子間にはフィードバック抵抗 5 2 A が介挿されている。また、第 1 インバータ回路 5 2 B の入力端子と第 2 インバータ回路 5 2 C の出力端子との間には発振用コンデンサ 5 2 D が介挿されている。第 3 インバータ回路 5 2 E は、第 2 インバータ回路 5 2 C の出力端子から得られる発振信号を増幅し、クロック信号 C L K 11 を出力する。

P L L 発振回路 5 3 は、図 1 2 に示すように、位相比較器 5 3 A と、チャージポンプ 5 3 B と、L P F (Low Pass Filter) 5 3 C と、電圧制御発振器 (V C O) 5 3 D と、デバイダ 5 3 E とをループ状に接続してなる回路である。ここで、位相比較器 5 3 A は、クロック信号 C L K 1 の位相とデバイダ 5 3 E の出力信号の位相とを比較してその位相差に相当する出力信号を出力する。チャージポンプ 5 3 B は、位相比較器 5 3 A の出力信号を基に L P F 5 3 C に電流を流す。L P F 5 3 C は、チャージポンプ 5 3 B の出力信号の低域周波成分のみを選択し、電圧制御電圧として出力する。V C O 5 3 D は、L P F 5 3 C から出力される電圧制御電圧に応じた周波数で発振し、クロック信号 C L K 12 を出力する。デバイダ 5 3 E は、このクロック信号 C L K 12 を  $1/N$  分周して位相比較器 5 3 A に出力する。

【 0 0 4 6 】

このような構成において、外来のクロック信号 C L K 1 とデバイダ 5 3 E の出力信号との間に位相差があると、その位相差をなくしてデバイダ 5 3 E の出力信号をクロック信号 C L K 1 に位相同期させる同期捕捉が行われる。そして、同期捕捉が完了し、デバイダ 5 3 E の出力信号がクロック信号 C L K 1 に位相同期した状態を維持する同期維持状態になると、位相比較器 5 3 A は、その旨を示す“H”レベルのロックアップ信号 C N T 6 を出力する。

ここで、CR発振回路とPLL発振回路の得失について述べる。

CR発振器の消費電力はPLL発振回路の約4倍程度であるが、その発振安定待ち時間はPLL発振回路のものよりも短く、例えば、5[msec]程度である。また、CR発振器は、これを使用するときの上限周波数が1MHz程度であれば、PLL発振回路の動作下限電圧より低い電圧（例えば、約1.5[V]）まで動作させることが可能である。以下では、便宜上、CR発振回路の発振安定待ち時間を第1発振安定時間といい、CR発振回路の動作下限電圧を第1最低動作電圧という。

#### 【0047】

一方、PLL発振回路は、低消費電力でかなり高い周波数まで発振可能であるが、発振安定待ち時間が長く（例えば、50[msec]）、動作下限電圧が高い（例えば、約2[V]）。以下では、便宜上、PLL発振回路の発振安定待ち時間を第2発振安定時間といい、PLL発振回路の動作下限電圧を第2最低動作電圧という。

従って、CR発振回路およびPLL発振回路は一長一短であるが、本実施形態では、両発振回路の長所をうまく組み合わせることにより、低消費電力で発振安定待ち時間が短く動作下限電圧が低い高速発振回路として機能させている。

電圧発生部258は、図13に示すように、電源電圧VCCから水晶発振回路用電源電圧VCC1を生成する第1定電圧回路258Aと、制御信号CNT5により制御され、電源VCCからシステム用電源VCC2を生成する第2定電圧回路258Bと、を備えて構成されている。

#### 【0048】

続いて図14を参照して、入力情報処理部261の詳細構成について説明する。

入力情報処理部261は、情報処理部81を備えている。情報処理部81は、第1センサーユニット32からの第1検出信号Aのパルス数を数えるカウンタ813、第2センサーユニット33からの第2検出信号Bのパルス数を数えるカウンタ814を備えている。検出信号AとBの波形は波形整形器811と812により検出パルス信号PA、PBに変えられる。これらのパルスがカウンタ8

1 3、8 1 4に入る。入力情報処理部 2 6 1は、更にカウンタ 8 1 3、8 1 4のカウント値および検出パルス信号 P A、P Bに基づいて、回転ベゼルの回転方向および回転角度を測る判定ユニット 8 1 5を有している。この場合において、判定ユニット 8 1 5は、例えば、検出パルス信号 P Aの立ち上がりタイミングにおける、検出パルス信号 P Bのレベル（“H”または“L”）に応じて回転方向を検出している。

第 1 センサユニット 3 2 が生成する第 1 検出信号 A および第 2 センサユニット 3 3 が生成する第 2 検出信号 B に基づいて情報データを生成し、ユーザにより確定された情報データの R A M 2 6 0 への格納を行うものである。

#### 【 0 0 4 9 】

このとき、情報処理部 8 1 は、回転ベゼル 2 0 2 の回転位置に対応した情報データが記憶されたフラッシュメモリ 2 5 4 上の情報テーブルを参照することにより情報信号を生成する。このようにして生成された情報信号に基づいてフラッシュメモリ 2 5 4 に内蔵されたキャラクタージェネレータを用いて、L C D ドライバ 2 5 5 が表示部 2 0 4 を構成する L C D 2 5 6 に文字等の情報を表示する。

また、情報処理部 8 1 においては、以下のような処理も可能である。

例えば、外部のパーソナルコンピュータにおいて作成した文書ファイルなどを充電通信部 2 5 3 およびステーション 1 0 0 を介してパーソナルコンピュータから受信し、同様に L C D 2 5 6 に表示する処理が可能である。

また、情報処理部 8 1 に簡単なオペレーティングシステム（O S）を搭載した場合には、簡易なアプリケーションプログラムの作成処理が行える。この場合において、作成可能なアプリケーションプログラムとしては、スケジュール管理プログラム、アドレスデータ管理プログラムなどである。そして、外部のパーソナルコンピュータのデータ（スケジュールデータ、アドレスデータ）をインポートしたり、エクスポートしたりできるとともに、データの追加、削除、並び替え（ソート）等のデータ処理が可能である。

#### 【 0 0 5 0 】

次に原点スイッチ 2 0 8、確定スイッチ 2 0 5、削除スイッチ 2 0 6 および濁点スイッチ 2 0 7 の役割について説明する。

原点スイッチ 2 0 8 は、腕時計型情報処理装置 2 0 0 を情報入力状態に切り替えるものであり、原点スイッチ 2 0 8 がオンされると、情報処理部 8 1 のパルス数カウンタが 0 にリセットされ、判定部 8 1 5 が、第 1 センサユニット 3 2 と第 2 センサユニット 3 3 を使って、回転ベゼル 2 0 2 の回転角度および回転方向の計測を開始する。

確定スイッチ 2 0 5、削除スイッチ 2 0 6 は、情報処理部 8 1 において生成された情報データをそれぞれ確定あるいは削除するために用いられる。

濁点スイッチ 2 0 7 は、情報処理部 8 1 において生成された情報が仮名文字の場合には、濁点を付加するために用いられる。また、情報が英文字の場合には、濁点スイッチ 2 0 7 は小文字と大文字とを切り替えるために用いられる。

なお、情報処理部 8 1 が生成する情報は文字情報に限らず、改行などの文字編集や、この情報処理装置におけるモード切替（例えば、時間表示モードと文字入力モードとを切り換える）などの指令データを生成することも可能である。この場合、フラッシュメモリ 2 5 4 上の情報テーブルには、文字編集やモード切替などの指令情報が回転ベゼル 2 0 2 の回転位置に対応して記憶されており、検出された回転ベゼル 2 0 2 の回転位置に基づいて情報処理部 8 1 が指令データを生成することとなる。

#### 【 0 0 5 1 】

##### [ 1 . 2 ] 情報処理部および発振回路の動作

ここで、情報処理部 8 1 および各発振回路 5 1 ～ 5 3 の動作に着目して説明する。

図 1 5 に計時動作時および情報処理動作への移行時の処理タイミングチャートを示す。

##### [ 1 . 2 . 1 ] 計時動作時の動作

初期状態において、マイクロプロセッサユニット 2 5 1 から出力される制御信号 CNT 2 は、“H”レベルであり、水晶発振回路 5 1 は、動作状態となっており、水晶発振回路 5 1 はクロック信号 CLK 1 を情報処理部 8 1 に出力している。また、制御信号 CNT 1 は、“L”レベルであり、セレクタ 5 4 は、CR 発振回路 5 2 側となっている。

## 【 0 0 5 2 】

これにより情報処理部 8 1 は、クロック信号 C L K 1 に基づいて計時動作を行い、表示部 1 0 4 に時計表示を行うこととなる。

そして、情報処理部 8 1 が時計表示を行っている場合には、制御信号 C N T 3 及び制御信号 C N T 4 は、" L " レベルであり、C R 発振回路 5 2 および P L L 発振回路 5 3 は停止状態あるいは待機状態となっている。

## [ 1 . 2 . 2 ] 情報処理動作への移行時

そして、図 1 5 に示す時刻  $t_1$  において、原点スイッチ 2 0 8 が操作され、原点スイッチ操作信号が " H " レベルとなると、情報処理部 8 1 が計時動作から情報処理動作へ移行させられることとなる。

これにより、マイクロプロセッサユニット 2 5 1 は、制御信号 C N T 3 および制御信号 C N T 4 を " H " レベルとし、C R 発振回路 5 2 および P L L 発振回路 5 3 の発振動作を開始させる。この場合において、C R 発振回路 5 2 の初期発振安定周波数は 1 M H z 程度とし、P L L 発振回路 5 3 の初期発振安定周波数は 4 M H z 程度としておく。

## 【 0 0 5 3 】

これにより、C R 発振回路 5 2 の状態は発振安定状態へと徐々に移行し、上述の例の場合、発振開始から 5 [ m s e c ] 後の時刻  $t_2$  には、発振安定状態となり、情報処理部 8 1 は、この C R 発振回路 5 2 のクロック信号 C L K 11 をクロック信号 C L K 2 として動作を開始する。

一方、時刻  $t_2$  の時点（第 1 発振安定時間経過時：発振開始から 5 [ m s e c ] 経過時点）では、P L L 発振回路 5 3 は発振非安定状態である。

その後、C R 発振回路 5 2 の発振周波数は徐々に上がり、4 M H z 程度となる。

そして、時刻  $t_2$  から 5 0 [ m s e c ] 程度経過した時刻  $t_3$  の時点（第 2 発振安定時間経過時）で、P L L 発振回路 5 3 も発振安定状態となり、その発振周波数はやはり 4 M H z となっている。

そこで、マイクロプロセッサユニット 2 5 1 は、制御信号 C N T 1 を " H " レベルとし、セクタ 5 4 を P L L 発振回路 5 3 側に切り換える。

従って、これ以降、情報処理部 8 1 は、セレクタ 5 4 から出力されるクロック信号 CLK12 を、クロック信号 CLK 2 として動作を行うこととなる。

さらに、時刻  $t_4$  に至ると、制御信号 CNT 4 を "L" レベルとして、CR 発振回路 5 2 の発振動作を停止させる。

その後、マイクロプロセッサユニット 2 5 1 は、PLL 発振回路 5 3 の発振周波数を徐々に上げ、所望の周波数（例えば、1 2 MHz。ただし、本実施形態の場合上限 1 6 MHz。）として情報処理動作を高速クロックに基づいて行うこととなる。

#### 【0054】

#### 〔1. 2. 3〕 電源電圧低下時の動作

図 1 6 に電源電圧低下時の処理タイミングチャートを示す。

情報処理部 8 1 は、定常状態において情報処理を行う場合には、上述した PLL 発振回路 5 3 の発振周波数に対応するクロック信号 CLK12 をクロック信号 CLK 2 として動作を行っている。

しかしながら、電源電圧が低下してきた場合には、PLL 発振回路 5 3 を正常に動作させることができなくなるおそれがある。すなわち、電源電圧が第 2 最低動作電圧未満の領域にいたると、PLL 発振回路 5 3 を正常に動作させることができなくなる。

そこで、マイクロプロセッサユニット 2 5 1 は、電圧検出部 2 5 9 の電圧検出結果に基づいて電源電圧低下時（第 1 最低動作電圧以上第 2 最低動作電圧未満の時）には、まず CR 発振回路 5 2 に切り換える。そして、さらに電源電圧が低下した場合には（第 1 最低動作電圧未満の時）、情報処理部 8 1 の動作を停止するようにしている。

なお、電圧検出部 2 5 9 における電圧検出は、例えば、毎正分ごとに行っているものとする。

#### 【0055】

具体的には、図 1 6 に示す時刻  $t_1$  において、電圧検出部 2 5 9 において、二次電池 2 2 0 の電圧を検出し、所定の切替電圧（例えば、上述の例の場合、2. 2 [V] 程度）に至っていた場合には、マイクロプロセッサユニット 2 5 9 は、

時刻  $t_2$  において制御信号 CNT4 を "H" レベルとして、CR 発振回路 52 の動作を開始させる。

そして、マイクロプロセッサユニット 259 は、PLL 発振回路 53 の発振周波数を徐々に下げ、4 MHz 程度とする。

そして、時刻  $t_3$  の時点で、CR 発振回路 52 の発振周波数もやはり 4 MHz となっている。そこで、マイクロプロセッサユニット 259 は、制御信号 CNT1 を "L" レベルとし、セクタ 54 を CR 発振回路 52 側に切り換える。

従って、これ以降、情報処理部 81 は、クロック信号 CLK11 であるクロック信号 CLK2 に基づいて動作を行うこととなり、CR 発振回路 52 の動作下限電圧 1.5 [V] 程度となるまで情報処理動作を継続することが可能となる。

その後、時刻  $t_4$  になると、マイクロプロセッサユニット 259 は、制御信号 CNT3 を "L" レベルとし、PLL 発振回路 53 の動作を停止することとなる。

そして、電圧検出部 259 において、二次電池 220 の電圧を検出しする。そして、電源電圧が CR 発振回路 52 の動作下限電圧 1.5 [V] 近傍となると、マイクロプロセッサユニット 259 は、その旨をユーザに告知する。そして、マイクロプロセッサユニット 259 は、充電あるいは電池交換を促すこととなる。

#### 【0056】

さらに時刻  $t_5$  において、電圧検出部 259 が二次電池 220 の電圧を検出した時点で、電源電圧がさらに低下しており、CR 発振回路 52 の動作下限電圧 1.5 [V] 未満となると、時刻  $t_6$  において、マイクロプロセッサユニット 259 は、制御信号 CNT4 を "L" レベルとして、CR 発振回路 52 の動作を停止する。

この結果、腕時計型情報処理装置 200 の情報処理部 81 は、情報処理動作をやめ、水晶発振回路 51 の動作下限電圧 (約 1 [V]) となるまでは、計時動作を継続することとなる。

#### 【0057】

### [1. 3] 第1実施形態の効果

以上の説明のように、本第1実施形態によれば、CR 発振回路と PLL 発振回路とを使い分けることにより、これら二つの発振回路を低消費電力で発振安定待

ち時間が短く動作下限電圧が低い高速発振回路として機能させ、従来のツインクロック型の情報処理装置よりも低消費電力を実現し、より長時間安定して動作させることが可能となる。

また、従来においては、ブラウジングソフトウェアなどの処理の重いアプリケーションソフトウェアについては、高速クロックを用いないととともに動作させることができなかったが、本実施形態のように、CR発振回路を用いることにより（二次）電池の電圧が低下し、PLL発振回路が動作不能となっても、多少表示速度が低下するが、表示は可能となり、より低電圧域まで表示を継続することが可能となる。

また、時計表示動作から素早く情報処理部におけるアプリケーションソフトウェアを起動することが可能となる。

さらに二次電池の電源電圧がかなり低下した場合でも、情報処理部を駆動することができ、ひいては二次電池による動作可能なぎりぎりの領域までアプリケーションソフトウェアの実行を図ることができる。

【 0 0 5 8 】

## 〔 2 〕 第 2 実施形態

上記第 1 実施形態においても説明したように、PLL発振回路は、低消費電力で高周波数まで発振可能であるが、発振安定待ち時間が長い（例えば、50 [msec]）という問題点がある。

これを回避すべく、従来のPLL発振回路においては、以下のような対策が講じられていた。

（1） PLL発振回路を構成するロウパスフィルタ（LPF）を 2 個設け、PLL発振回路の立ち上げ時には、時定数の小さなロウパスフィルタを使用し、定常状態に至ると時定数の大きいロウパスフィルタを使用する。

（2） PLL発振回路を構成するロウパスフィルタ（LPF）を 2 個設け、一方のロウパスフィルタで駆動している状態で、他方のロウパスフィルタを別の周波数でロックさせるべく準備をしておく。

（3） 位相比較器の出力信号のアナログ／ディジタル変換を行うチャージポンプを有するPLL発振回路の場合には、PLL発振回路の立ち上げ時にチャ-



ジポンプの制御電流量を増やす。

上記（１）および（２）の対策では、ロックアップ時間を零にすることはできず、また、（３）の対策では、装置構成が複雑化し、回路の大規模化を招くという問題点があった。

そこで、本第２実施形態は、上記第１実施形態におけるPLL発振回路よりもロックアップ時間を短縮して、情報処理時により短時間で高速クロックに基づく処理が行えるようにした実施形態である。

以下の説明においては、PLL回路以外の部分は、第１実施形態と同様であるので、PLL回路部分を主として説明を行う。

#### 【 0 0 5 9 】

##### [ 2 . 1 ] PLL発振回路の概要構成

PLL発振回路５３は、図１７に示すように、位相比較器５３Ａと、チャージポンプ５３Ｂと、LPF (Low Pass Filter) ５３Ｃと、電圧制御発振器 (VCO) ５３Ｄと、デバイダ５３Ｅと、D/Aコンバータ５３Ｆと、A/Dコンバータ５３Ｇと、アダー５３Ｈを備えて構成されている。

位相比較器５３Ａは、クロック信号CLK 1の位相とデバイダ５３Ｅの出力信号の位相とを比較してその位相差に相当する出力信号（デジタル）を出力する。

チャージポンプ５３Ｂは、位相比較器５３Ａの出力信号に基づいてクロック信号CLK 1と比較クロック信号CLK 2/Nの位相差（周波数差）に比例した誤差電圧を出力する。

LPF ５３Ｃは、チャージポンプ５３Ｂの出力信号の低域周波数成分のみを通過させて電圧制御信号SCV 1として出力する。

電圧制御発振器５３Ｄは、アダー５３Ｈから出力される電圧制御信号SCV に基づいてクロック信号CLK 2の発振周波数を制御してデバイダ５３Ｅに出力する。

#### 【 0 0 6 0 】

D/Aコンバータ５３Ｆは、情報処理部８１からのデジタル信号をオフセット電圧信号SCV 2に変換する。アダー５３Ｈは、電圧制御信号SCV 1をオフセ

ット電圧信号 S C V 2 に加えて、電圧制御信号 S C V にする。

デバイダ 5 3 E は、電圧制御発振器 5 3 D の出力したクロック信号 C L K 2 の周波数を  $1/N$  分周して比較クロック信号  $C L K 2/N$  として位相比較器 5 3 A に出力する。

A/D コンバータ 5 3 G は、検査時に、P L L 発振回路 5 3 がロックした状態の L P F 5 3 C の出力電圧を、出力電圧を示すデジタルデータに変え、そのデータを情報処理部 8 1 に出力する。

#### 【 0 0 6 1 】

### [ 2 . 2 ] P L L 発振回路の詳細構成

#### [ 2 . 2 . 1 ] 位相比較器およびチャージポンプ

図 1 8 に位相比較器および位相比較器の後段に接続されたチャージポンプのの詳細構成を示す。

位相比較器 5 3 A の構成およびチャージポンプ 5 3 B の回路構成については、周知の構成であるため、その詳細な説明は省略し、図 1 9 のタイミングチャートを参照して動作説明をおこなう。

図 1 9 のタイミングチャートにおいて、出力信号 U は、クロック信号 C L K 1 の位相に対してクロック信号 C L K 2 を分周した比較クロック信号  $C L K 2/N$  の位相が進んでいる場合あるいはクロック信号 C L K 1 の周波数に対してクロック信号 C L K 2 の周波数が高い場合に " L " レベルとなる信号である。比較クロック信号  $C L K 2/N$  は、クロック信号 C L K 2 を分周して得られる信号である。

また、出力信号 D は、クロック信号 C L K 1 の位相に対して比較クロック信号  $C L K 2/N$  の位相が遅れている場合あるいはクロック信号 C L K 1 の周波数に対してクロック信号 C L K 2 の周波数が低い場合に " L " レベルとなる信号である。

#### 【 0 0 6 2 】

従って、クロック信号 C L K 1 とクロック信号 C L K 2 を分周した比較クロック信号  $C L K 2/N$  の立ち上がりタイミングにおいて両クロック信号の位相が等しい場合には、出力信号 U および出力信号 D は共に " H " レベルとなることとなる。この状態はいわゆる P L L 発振回路 5 3 がロックした状態に相当する。

この状態においては、チャージポンプ 5 3 B を構成する P チャネルトランジスタおよび N チャネル MOS トランジスタは、共にオフ状態となり、チャージポンプ 5 3 B の出力はハイインピーダンス状態となる。

一方、図 1 9 のタイミングチャートにおいて、時刻  $t_1$  あるいは時刻  $t_2$  に示すように、クロック信号 CLK 1 の位相に対してクロック信号 CLK 2 を分周した比較クロック信号 CLK 2 / N の位相が進んでいる場合あるいはクロック信号 CLK 1 の周波数に対してクロック信号 CLK 2 の周波数が高い場合には、CLK 2 / N の立下りと CLK 1 の立下りの間だけ "L" レベルとなる。このとき出力信号 D は "H" レベルのままである。

同様に図 1 9 において、時刻  $t_3$  あるいは時刻  $t_4$  に示すように、クロック信号 CLK 1 の位相に対してクロック信号 CLK 2 を分周した比較クロック信号 CLK 2 / N の位相が遅れている場合あるいはクロック信号 CLK 1 の周波数に対してクロック信号 CLK 2 の周波数が低い場合には、出力信号 D が位相差あるいは周波数差に応じた時間だけ "L" レベルとなる。このとき出力信号 U は "H" レベルのままである。

#### 【 0 0 6 3 】

これらの出力信号 U および出力信号 D が位相比較器 5 3 A からチャージポンプ 5 3 B に出力されると、チャージポンプ 5 3 B を構成する P チャネルトランジスタは、出力信号 U が "L" レベルの期間だけオン状態となる。また、N チャネル MOS トランジスタは、出力信号 D が "L" レベルの期間だけオン状態となる。

従って、チャージポンプ 5 3 B の後段に接続された LPF 5 3 C の出力は、クロック信号 CLK 1 と比較クロック信号 CLK 2 / N の位相差（周波数差）に比例した直流的誤差電圧（図 1 9、LPF 出力参照）となる。

以上の説明は CMOS 構成の位相比較器について述べたが、バイポーラ構成の位相比較器についても同様に適用が可能である。

#### 【 0 0 6 4 】

#### [ 2 . 2 . 2 ]    LPF

図 2 0 に LPF の詳細構成並びに対応する自然角周波数およびダンピングファクタを示す。

図 2 0 に示す L P F 5 3 C は、いわゆるラグ・リード・フィルタであり一般的な L P F である。動作速度的には、アンプを内蔵するアクティブフィルタに劣るが、C M O S 構成の P L L I C を構成する場合には、十分な実用性を有しており、ロックインタイムを 1 0 [m s e c] 前後にすることが可能となっている。

この場合、自然角周波数  $\omega_n$  およびダンピングファクタ  $\zeta$  は、それぞれ、以下の通りである。

$$\omega_n = 0 \text{ [Kp} \cdot \text{Kv} / (\text{T1} + \text{T2}) \cdot \text{N}]}$$

$$\zeta = \omega_n / 2 \cdot (\text{T2} + \text{N} / \text{Kp} \cdot \text{Kv})$$

各変数は以下の通りである。

KP : 位相比較器の利得定数 (V / r a d)

KV : 電圧制御発振器の利得定数 (r a d / s e c / V)

N : 分周器の分周数

【 0 0 6 5 】

### [ 2 . 2 . 3 ] 電圧制御発振器

図 2 1 に C M O S 構成の電圧制御発振器の詳細構成を示す。

図 2 1 に示す電圧制御発振器の回路構成については、周知の構成であるため、その詳細な説明は省略し、概要動作の説明をおこなう。

電圧制御発振器 5 3 D は、C M O S 構成であるため、入力インピーダンスが高く、前段の L P F 5 3 C の設計の自由度が高くなる。

図 2 1 において、コントロール信号 SC が "H" レベルの場合には P チャネルトランジスタ P 3 がオフ状態となり、発振停止状態とすることができる。

コントロール信号 SC が "L" レベルの場合は、電圧制御発振器 5 3 D は動作状態となり、N チャネルトランジスタ N 1 がソースフォロワ構成となっているため、抵抗 R 1 が十分に大きければ、N チャネルトランジスタ N 1 のドレイン電流は制御電圧信号 SC V に対してリニアに変化することとなる。

このため P チャネル MOS トランジスタ P 1, P 2 のゲート電位も同様の変化となり、P チャネル MOS トランジスタ P 1, P 2 のドレイン電流も制御電圧信

号 S C V に対してリニアに変化することとなる。

一方、ゲート G 1, G 2 によりフリップフロップ回路が構成され、Pチャネルトランジスタ P 4、Nチャネルトランジスタ N 2、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 3 はそれぞれスイッチを構成している。

#### 【 0 0 6 6 】

従って、ゲート G 1 の出力が "L" レベルの場合には、ゲート G 2 の出力は "H" レベルとなり、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 2 はオン状態、Pチャネルトランジスタ P 4 および Nチャネルトランジスタ N 3 はオフ状態となっている。

従って、インバータ I N V の入力 は低電位側電源電圧 VSS レベルとなり、インバータ I N V 5 の入力端子における電位は、Pチャネルトランジスタ P 2、P 5 のドレイン電流でコンデンサ C 1 が充電されるため、徐々に上昇し、インバータ I N V 5 ~ I N V 8 の出力信号レベルが反転すると、フリップフロップ回路を構成するゲート G 1, G 2 の出力が反転する。

そして、今度は、ゲート G 1 の出力が "H" レベル、ゲート G 2 の出力は "L" レベルとなり、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 2 はオフ状態、Pチャネルトランジスタ P 4 および Nチャネルトランジスタ N 3 はオン状態となり、Pチャネルトランジスタ P 2、P 4 のドレイン電流でコンデンサ C 1 が充電されるため、インバータ I N V 1 の入力端子における電位は、徐々に上昇し、今度はインバータ I N V 1 ~ I N V 4 の出力信号レベルを反転させ、以下、同様の動作を繰り返すこととなる。

この場合において、コンデンサ C 1 の充電電流は、電圧制御信号 S C V の電圧で制御可能であるため、クロック信号 C L K 2 の周波数を可変することができるのである。

#### 【 0 0 6 7 】

### [ 2 . 3 ] 情報処理部および発振回路の動作

ここで、情報処理部 8 1 および C R 発振回路 5 2 および P L L 発振回路 5 3 の動作に着目して説明する。

#### [ 2 . 3 . 1 ] 計時動作時の動作

情報処理部 8 1 が時計表示を行っている場合には、第 1 実施形態で説明したように、マイクロプロセッサユニット 2 5 9 の制御下で、PLL 発振回路 5 3 は停止状態あるいは待機状態となっている。

これにより情報処理部 8 1 は、クロック信号 CLK 1 に基づいて計時動作を行い、表示部 2 0 4 に時計表示を行うこととなる。

### [ 2 . 3 . 2 ] 情報処理動作への移行時

情報処理部 8 1 が計時動作から情報処理動作へ移行する際には、マイクロプロセッサユニット 2 5 9 は、第 1 実施形態の場合と同様に、PLL 発振回路 5 3 の発振動作を開始させる。

この場合において、マイクロプロセッサユニット 2 5 9 は、予め図示しないレジスタあるいは不揮発性のメモリであるフラッシュメモリ 2 5 4 に記憶した、あらかじめ行った検査の際に PLL 発振回路 5 3 がロックした状態における LPF 5 3 C の出力電圧に相当する出力電圧データを D/A コンバータ 5 3 E にセットする。

### [ 0 0 6 8 ]

これにより、D/A コンバータ 5 3 F は、検査時に PLL 発振回路 5 3 がロックした状態における LPF 5 3 C の出力電圧に相当するオフセット電圧信号 SCV 2 を生成する。オフセット電圧信号 SCV 2 は、アダー 5 3 H を介して、電圧制御発振器 5 3 D に与えられる。その結果、電圧制御発振器 5 3 D は、発振を始め、このときの周波数は、PLL 発振回路 5 3 がロックアップ状態にある時の周波数にほぼ等しい。

一方、位相比較器 5 3 A は、クロック信号 CLK 1 の位相と後述のデバイダ 5 3 E の出力信号の位相とを比較してその位相差に相当する出力信号（デジタル）をチャージポンプ 5 3 B に出力する。

チャージポンプ 5 3 B は、位相比較器 5 3 A の出力信号に基づいてクロック信号 CLK 1 と比較クロック信号 CLK 2 / N の位相差（周波数差）に比例した誤差電圧を LPF 5 3 C に出力する。

LPF 5 3 C は、チャージポンプ 5 3 B の出力信号の低域周波数成分のみを通過させて電圧制御信号 SCV 1 として出力する。

これらにより電圧制御発振器（VCO）53Dの制御入力端子には、電圧制御信号SCV1にオフセット電圧信号SCV2を重畳した電圧制御信号SCVが入力され、電圧制御信号SCVに対応する周波数を有するクロック信号CLK2を生成して、情報処理部81およびデバイダ53Eに出力する。

デバイダ53Eは、電圧制御発振器53Dの出力したクロック信号CLK2の周波数を分周して比較クロック信号 $CLK2/N$ として位相比較器53Aに出力することとなり、電圧制御発振器53Dの出力するクロック信号CLK2の周波数は、所望の周波数にロックされることとなる。

【0069】

#### [2. 4] 第2実施形態の効果

以上の説明のように、本第2実施形態によれば、PLL発振回路53の動作開始時に電圧制御発振器（VCO）53Dの制御入力端子には、電圧制御信号SCV1にオフセット電圧信号SCV2を重畳した電圧制御信号SCVが入力されることとなるので、図22に示すようにロックアップ時間TRU（=10[msec]）を従来のロックアップ時間TRU（=50[msec]、図23参照）に比較して短くできる。

従って、従来と比較して、迅速に情報処理動作に移行することができ、制御用ソフトウェア的にもPLL発振回路53が安定するまで処理を待機状態とする待ち時間ルーチンを設ける必要もなくなり、ソフトウェア開発の簡易化を図ることができる。

さらに情報処理装置の各種操作におけるレスポンス向上を図ることができる。

【0070】

#### [2. 5] 第2実施形態の変形例

##### [2. 5. 1] 第1変形例

以上の説明においては、A/Dコンバータ53Gは、あらかじめ行った検査時においてPLL発振回路53がロックした状態におけるLPF53Cの出力電圧を検出しておき、この検出したLPF53Cの出力電圧に対応する出力電圧データをアナログ/デジタル変換してCPUに出力する構成を採っていた。しかしながら、予め定めた所定のタイミング（所定時間毎など）において、PLL発振

回路のロックアップ状態における電圧制御発振器に入力される制御電圧を A/D 変換し、新たな出力電圧データとしてリアルタイムでオフセット電圧を補正するように構成することも可能である。

これにより、最も最新のデータに基づいてオフセット電圧を設定することができ、温度変化などの環境要因を含めた誤差を除去することが可能となり、より早くロックアップ状態に至らせることが可能となる。

#### 【0071】

##### [2. 5. 2] 第2変形例

以上の説明においては、オフセット電圧信号 SCV2 の生成に D/A コンバータを用いていたが、図 24 に示すように、外付けのラダー抵抗 53 J を利用し、セクタ 53 I によりタップ位置を選択させて所望のオフセット電圧信号 SCV2 の生成を行うようにすることも可能である。

また、予め定めた一つのオフセット電圧が必要であるならば、上記構成のうち、セクタ 53 I を設けない構成とすることも可能である。

#### 【0072】

##### [3] 実施形態の変形例

##### [3. 1] 第1変形例

以上の説明においては、CR 発振回路から PLL 発振回路に切り換えるタイミングを所定の発振安定化時間が経過したタイミングとしていたが、PLL 発振回路からロックアップした旨の信号（上記実施形態における“H”レベルの制御信号 CNT6）の出力に基づいて、切り換えるように構成することも可能である。

#### 【0073】

##### [3. 2] 第2変形例

以上の説明においては、第1発振回路として、CR 発振回路の場合について説明したが、PLL 発振回路の発振が安定するまでに用いるという前提であれば、水晶発振回路やセラロック発振回路を用いるように構成することも可能である。

#### 【0074】

##### [3. 3] 第3変形例

以上の説明においては、腕時計型データ情報処理装置の場合について説明した



が、ツインクロック型の情報処理装置であれば、PDA、ノート型パーソナルコンピュータなどの携帯型情報処理装置、特に二次電源を用いて駆動する情報処理装置についても適用が可能である。

【0075】

[3. 4] 第4変形例

以上の説明においては、CR発振回路およびPLL発振回路の発振開始タイミングを同時としていた。しかしながら、発振安定時間の短いCR発振回路を先に発振させ、後からPLL発振回路を発振させても良い。この時、CR発振回路が安定してからPLL発振回路の発振が安定するまでは、CR発振回路の出力信号を使い、PLL発振回路の発振が安定した後は、PLL発振回路の出力信号を使えば良い。

【0076】

[3. 5] 第5変形例

以上の説明においては、発振安定に至るまでの発振安定時間あるいは動作電圧の異なる2種類の発振回路を選択してクロック信号を得るための制御プログラム（制御用データも含む。）を腕時計型情報処理装置のあらかじめメモリに格納している場合について説明した。

しかしながら、情報処理装置を上記実施形態の腕時計型情報処理装置と同様に機能させるプログラムをネットワークに接続されたコンピュータに記憶させておき、この制御プログラムを電気通信回線を通じて配布しても良い。

また制御プログラムをコンピューターで読み取り可能な記録媒体（半導体メモリ、光ディスク、光磁気ディスク、磁気ディスク）に記録して配布しても良い。

これらの場合において、実際の情報処理装置に制御プログラムを格納（インストール）するためのインターフェースとしては通常のコネクタによる接続の他、赤外線などの光を利用した光通信、電磁結合を利用した電磁通信などを用いることができる。

そして、情報処理装置のメモリに制御プログラム格納し、マイクロプロセッサにより制御プログラムに基づく動作を行わせればよい。

【0077】

## 〔 3 . 6 〕 第 6 変形例

以上の説明においては、C R 発振回路と P L L 発振回路の 2 つを発振安定に至るまでの発振安定時間あるいは動作電圧に基づいて使い分けていた。つまり、早く発振が安定する C R 発振回路を先に使い、P L L 回路が安定したら、消費電力が少なく高い周波数まで発振できる P L L 発振回路を使っていた。また、電源電圧が P L L 回路が動作できない電圧に至るとより低電圧で動作可能な C R 発振回路を用いていた。

しかしながら、発振回路の種類は 2 種類に限らない。3 種以上の発振回路を使う場合にも本発明を適用できる。この場合において、どの発振回路を使うかは、発振回路の動作電圧、発振安定時間、消費電力などを考慮して決めればよい。

〔 0 0 7 8 〕

## 【発明の効果】

本発明によれば、第 1 発振回路と第 2 発振回路とを使い分けることにより、これら二つの発振回路を低消費電力で発振安定待ち時間が短く動作下限電圧が低い高速発振回路として機能させるので、従来のツインクロック型の情報処理装置よりも低消費電力を実現し、より長時間安定して動作させることが可能となる。

## 【図面の簡単な説明】

【図 1】 図 1 に第 1 実施形態にかかるステーションおよび腕時計型情報処理装置の構成を示す平面図を示す。

【図 2】 図 2 に、図 1 における A - A 線の断面図を示す。

【図 3】 本発明の実施形態に係る腕時計型情報処理装置の正面図である。

【図 4】 図 1 の腕時計型情報処理装置から回転ベゼルを取り外した状態を示す図である。

【図 5】 図 3 の IV - IV 線に沿って視た図である。

【図 6】 回転ベゼルの下面を示す図である。

【図 7】 回転ベゼルに形成された光学パターンと、第 1 検出信号及び第 2 検出信号との関係を説明する図である。

【図 8】 腕時計型情報処理装置の概要構成ブロック図である。

【図 9】 腕時計型情報処理装置の発振部の詳細構成ブロック図である。

- 【図 1 0】 発振部内の水晶発振回路の詳細構成図である。
- 【図 1 1】 発振部内の C R 発振回路の詳細構成図である。
- 【図 1 2】 発振部内の P L L 発振回路の詳細構成図である。
- 【図 1 3】 腕時計型情報処理装置の電圧発生部の詳細構成ブロック図である。
- 【図 1 4】 腕時計型情報処理装置の入力情報処理部の詳細構成ブロック図である。
- 【図 1 5】 計時動作時および情報処理動作への移行時の処理タイミングチャートである。
- 【図 1 6】 発振部内の電源電圧低下時の処理タイミングチャートである。
- 【図 1 7】 実施形態の P L L 発振回路の概要構成ブロック図である。
- 【図 1 8】 位相比較器とチャージ P L L 発振回路の詳細構成図である。
- 【図 1 9】 位相比較器とチャージ P L L 発振回路の動作タイミングチャートである。
- 【図 2 0】 L P F の説明図である。
- 【図 2 1】 電圧制御発振器 (V C O) の詳細構成図である。
- 【図 2 2】 第 2 実施形態の P L L 回路におけるロックアップ時間の説明図である。
- 【図 2 3】 従来の P L L 回路におけるロックアップ時間の説明図である。
- 【図 2 4】 第 2 実施形態の変形例の概要構成ブロック図である。

【符号の説明】

- 3 2 …第 1 センサユニット
- 3 3 …第 2 センサユニット
- 4 1 …光学パターン
- 4 1 a …吸収領域
- 4 1 b …反射領域、
- 4 4 …L E D
- 4 5 …フォトダイオード
- 4 6 …突条

4 7 … オ リ ン グ  
5 1 … 水 晶 発 振 回 路  
5 1 A … 水 晶 振 動 子  
5 1 B … 抵 抗  
5 1 C … コ ン デ ン サ  
5 1 D … コ ン デ ン サ  
5 1 E … 第 1 イ ン バ ー タ  
5 1 F … 第 2 イ ン バ ー タ  
5 2 … C R 発 振 回 路  
5 2 A … フ ィ ー ド バ ッ ク 抵 抗  
5 2 B … 第 1 イ ン バ ー タ  
5 2 C … 第 2 イ ン バ ー タ  
5 2 D … 発 振 用 コ ン デ ン サ  
5 2 E … 第 3 イ ン バ ー タ  
5 3 … P L L 発 振 回 路  
5 3 A … 位 相 比 較 器  
5 3 B … チ ャ ー ジ ポ ン プ  
5 3 C … L P F (Low Pass Filter)  
5 3 D … 電 圧 制 御 発 振 器 (V C O)  
5 3 F … D / A コ ン バ ー タ  
5 3 E … デ バ イ ダ  
5 3 G … A / D コ ン バ ー タ  
5 3 H … ア ダ ー  
5 3 I … セ レ ク タ  
5 3 J … ラ ダ ー 抵 抗  
8 1 … 情 報 処 理 部 (信 号 生 成 手 段)  
8 2 … 情 報 テ ー ブ ル  
2 0 0 … 腕 時 計 型 情 報 処 理 装 置  
2 0 2 … 回 転 ベ ゼ ル

CLK 1、CLK 2…クロック信号

CLK11…クロック信号

CLK12…クロック信号

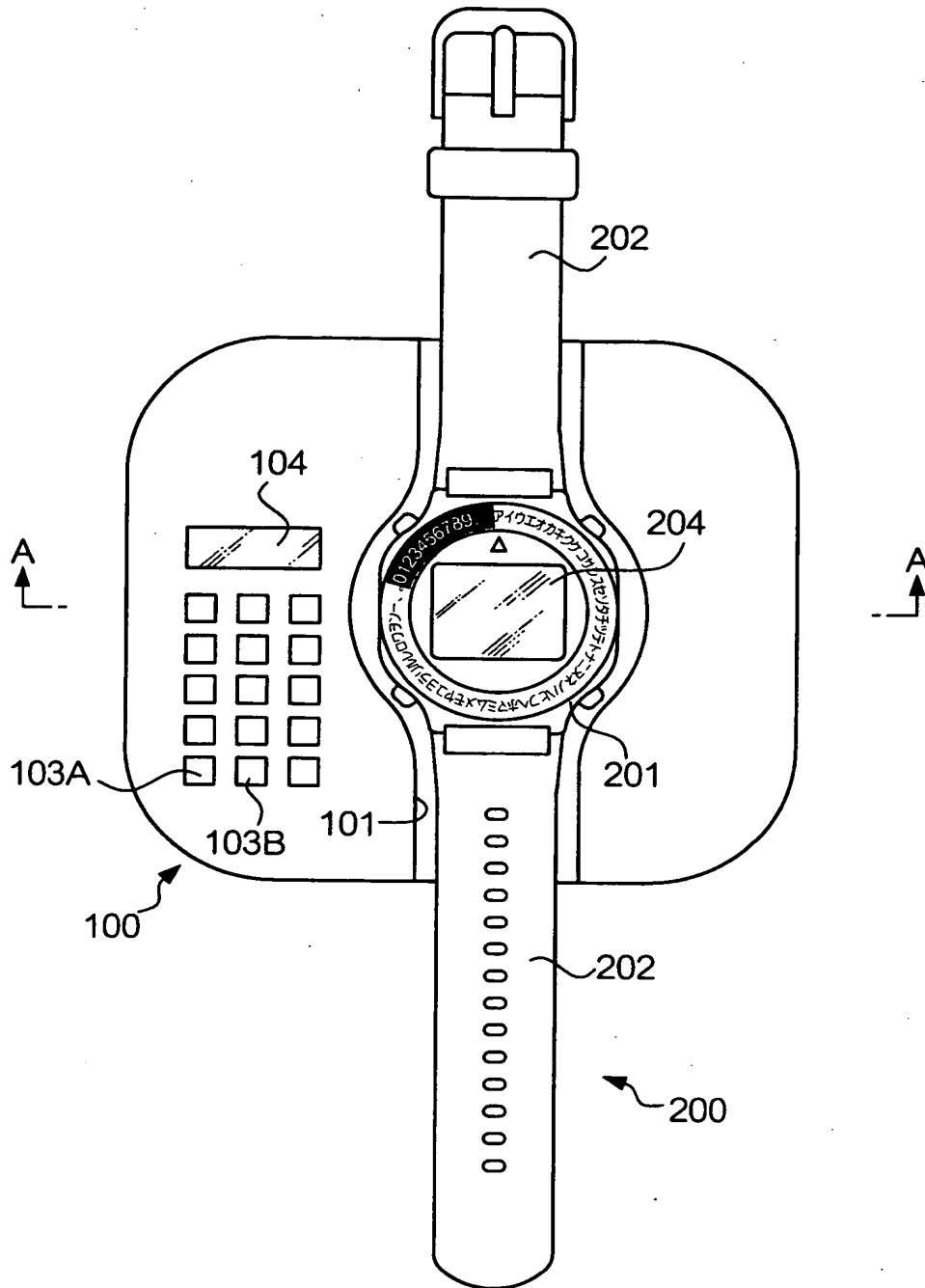
CLK 2 / N…比較クロック信号

CNT 1 ~ CNT 4 …制御信号

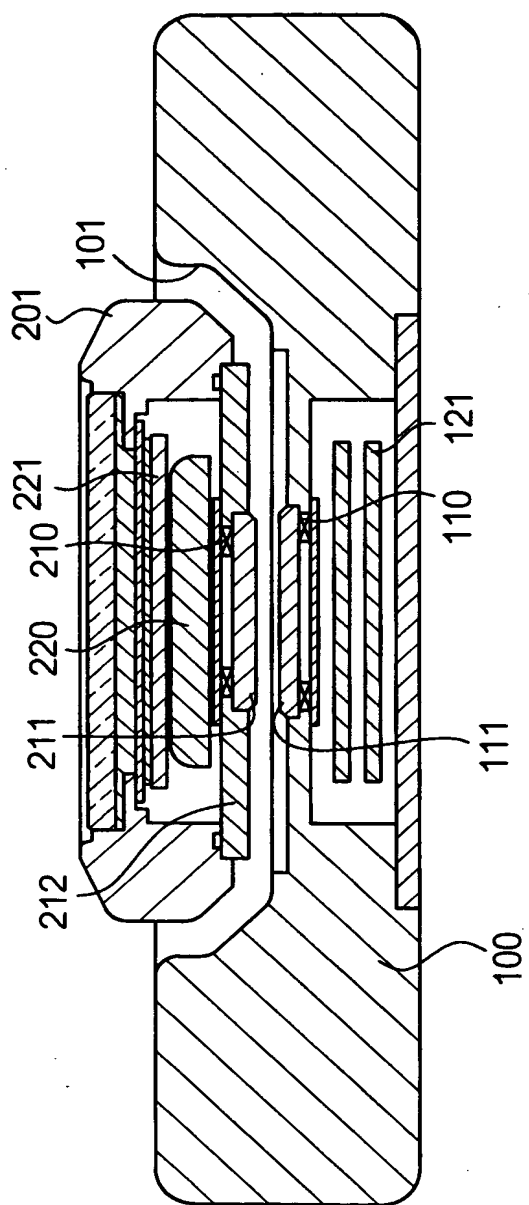
CNT 6 …制御信号 (ロックアップ信号)

【書類名】 図面

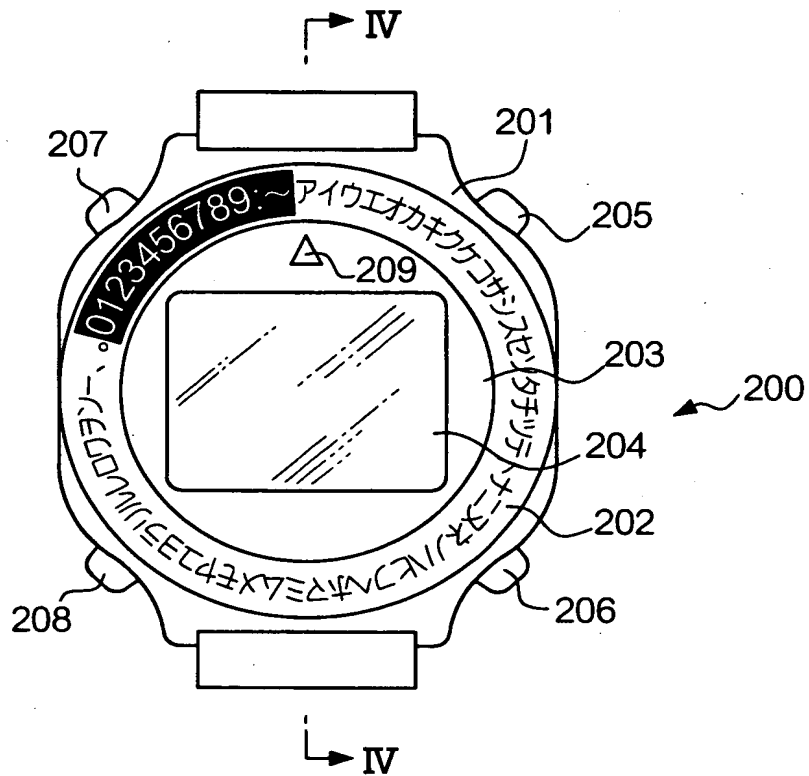
【図 1】



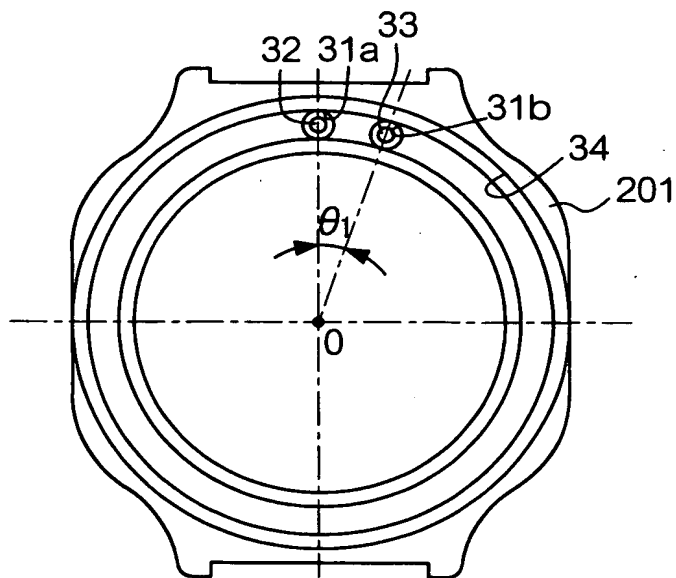
【図 2】



【図 3】

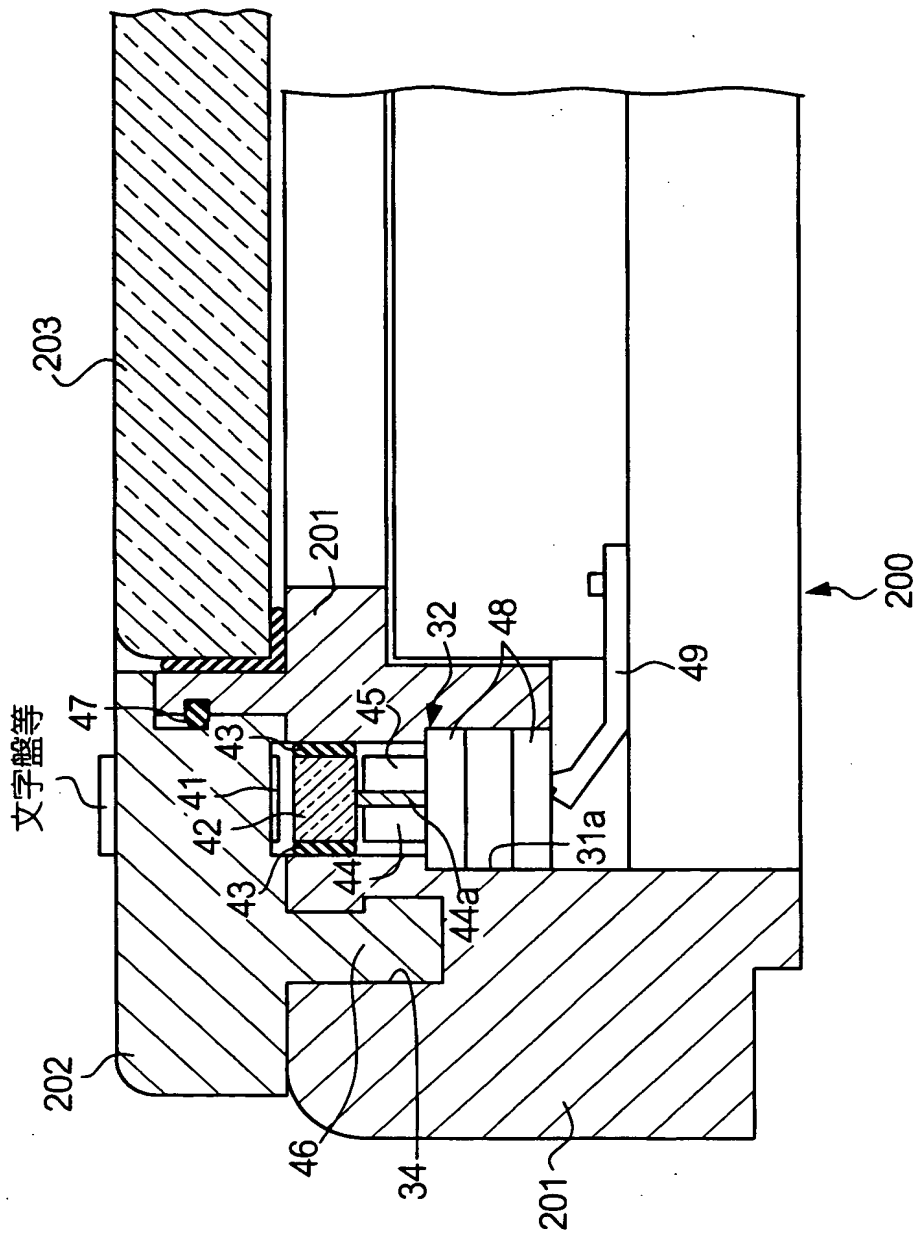


【図 4】

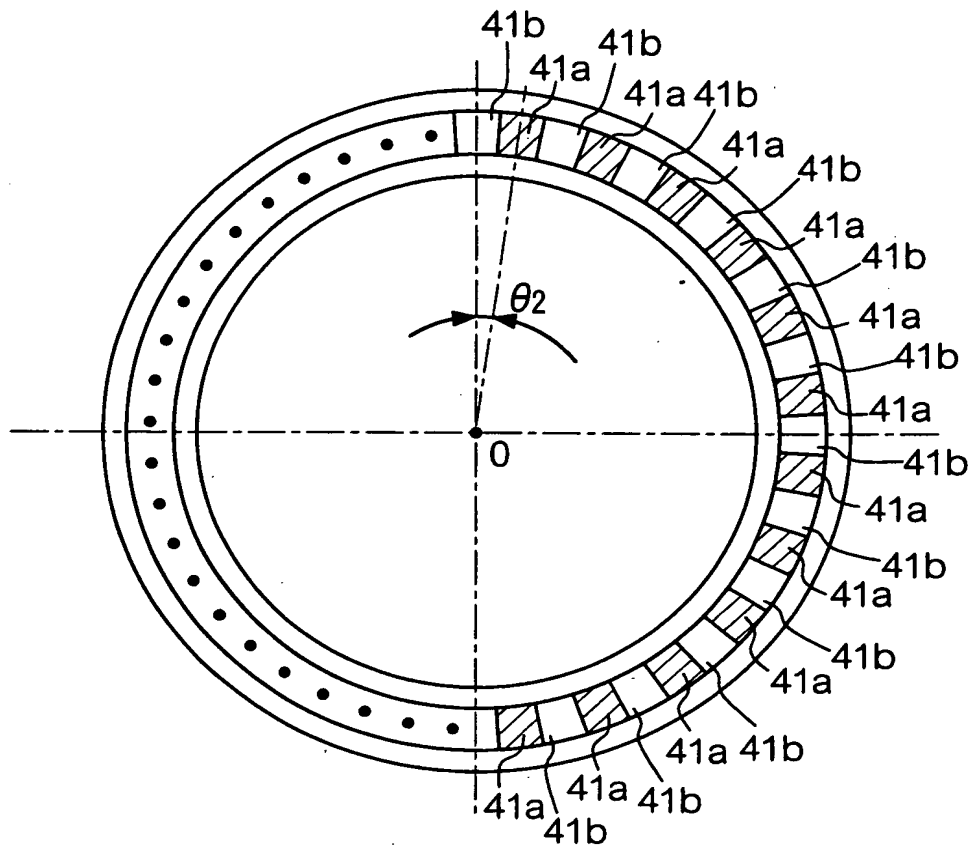




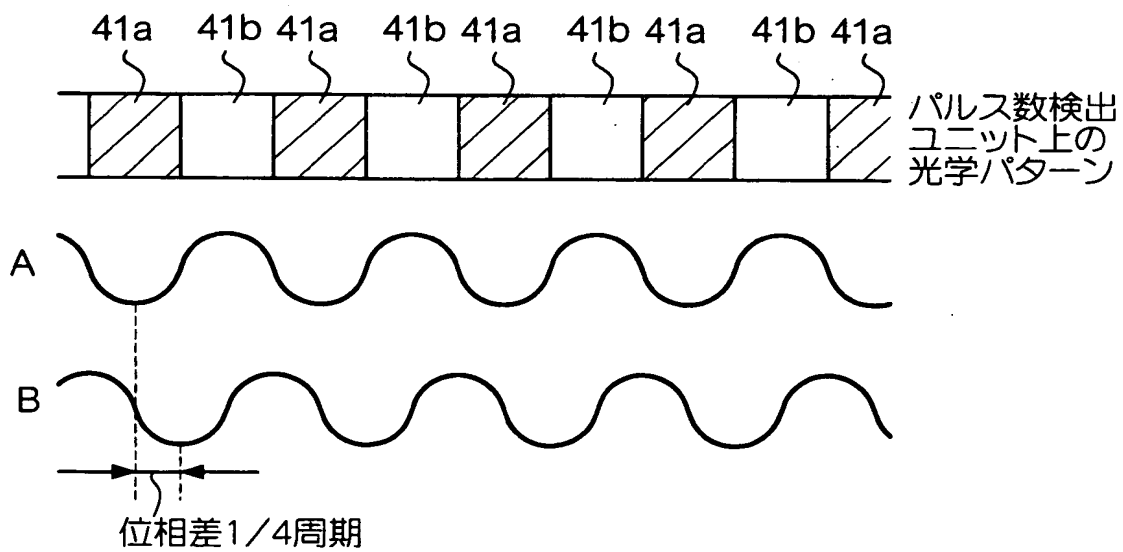
【図 5】



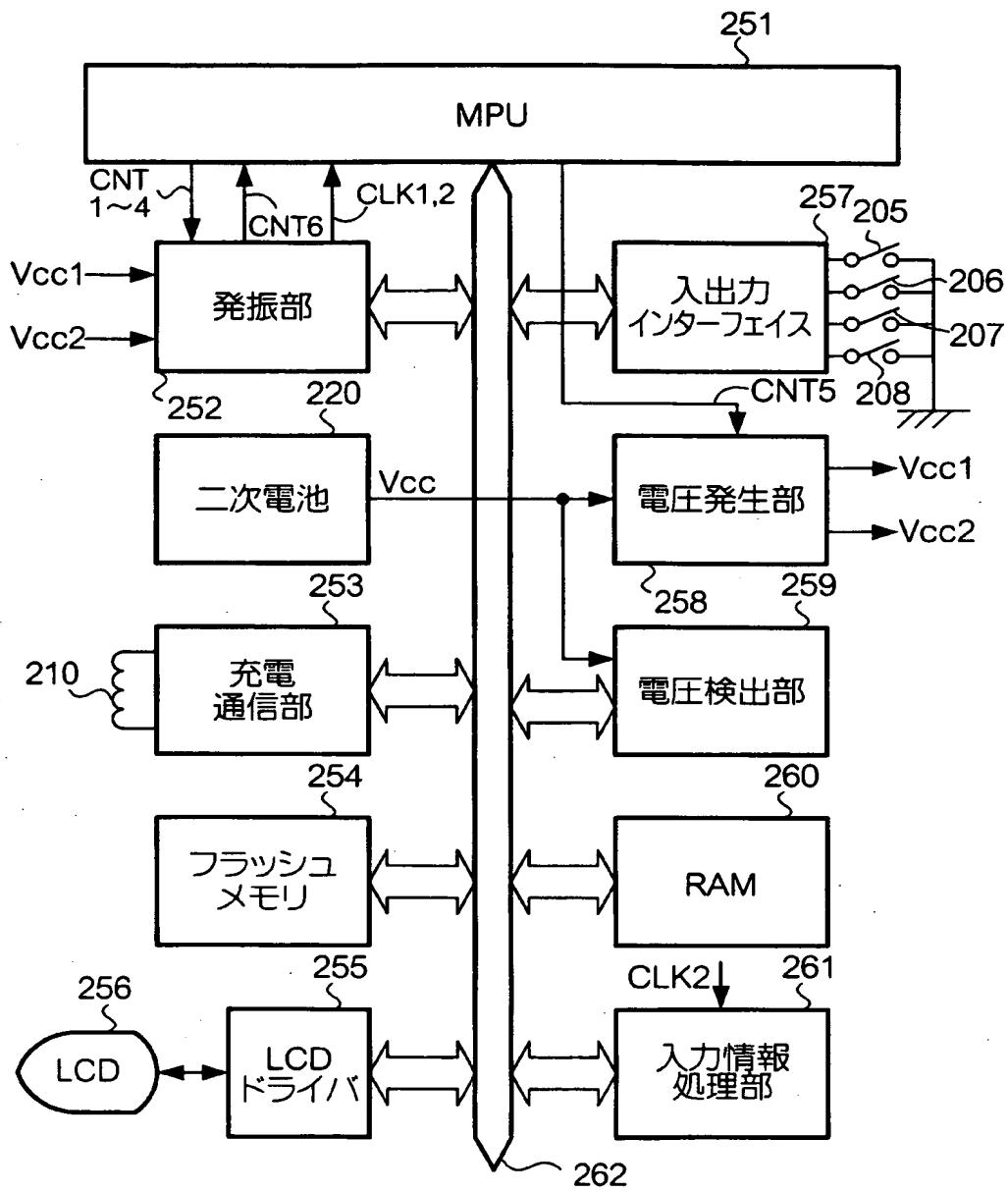
【図 6】



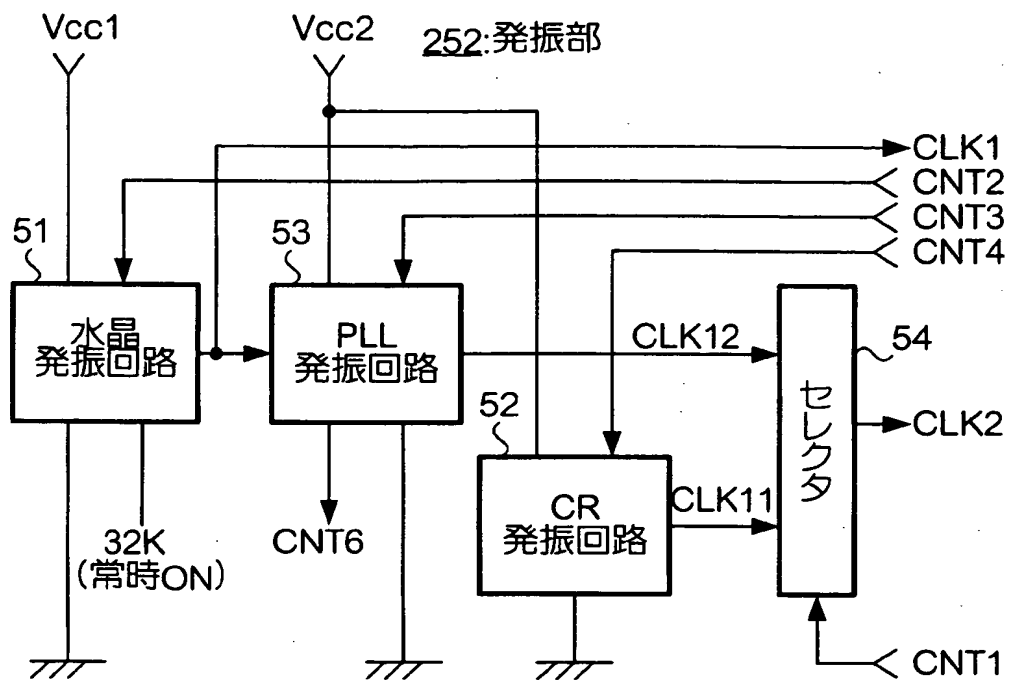
【図 7】



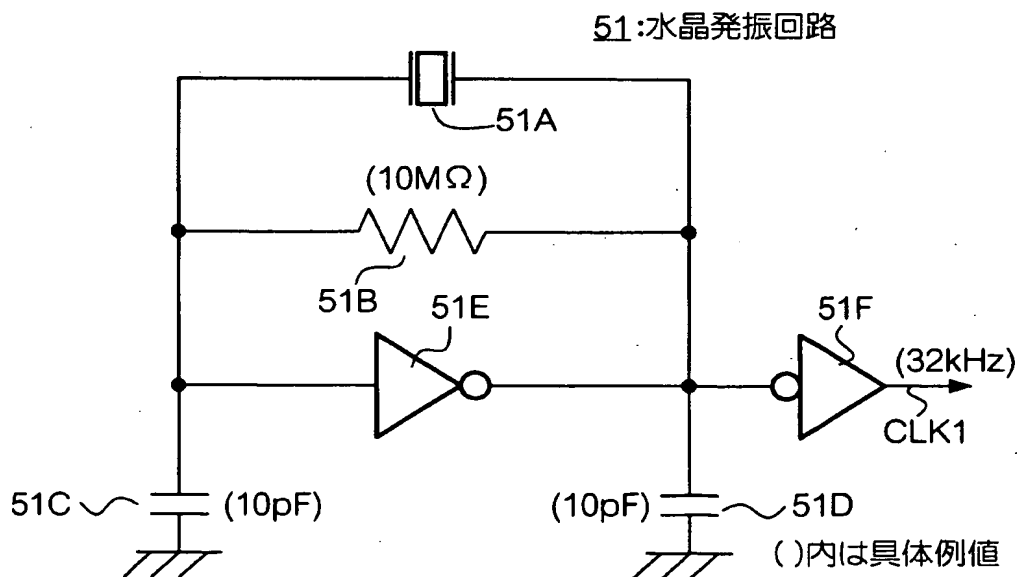
【図 8】



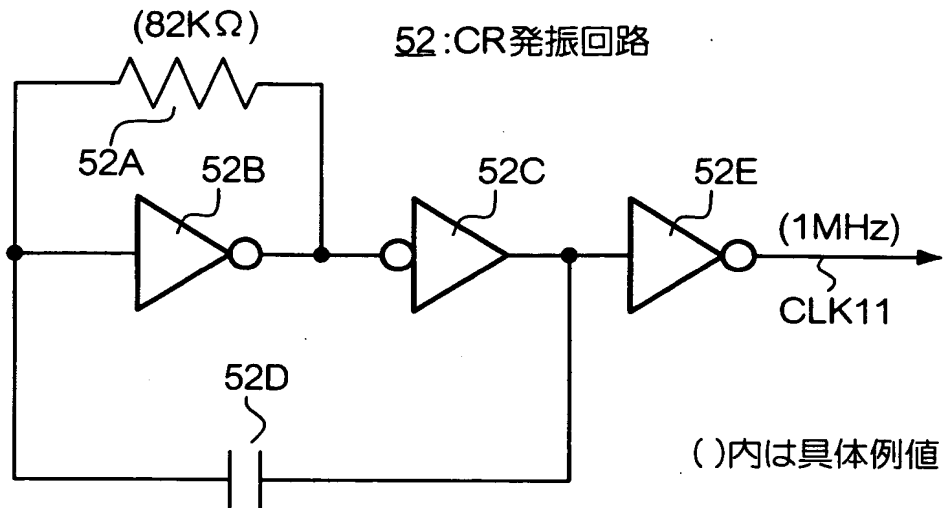
【図9】



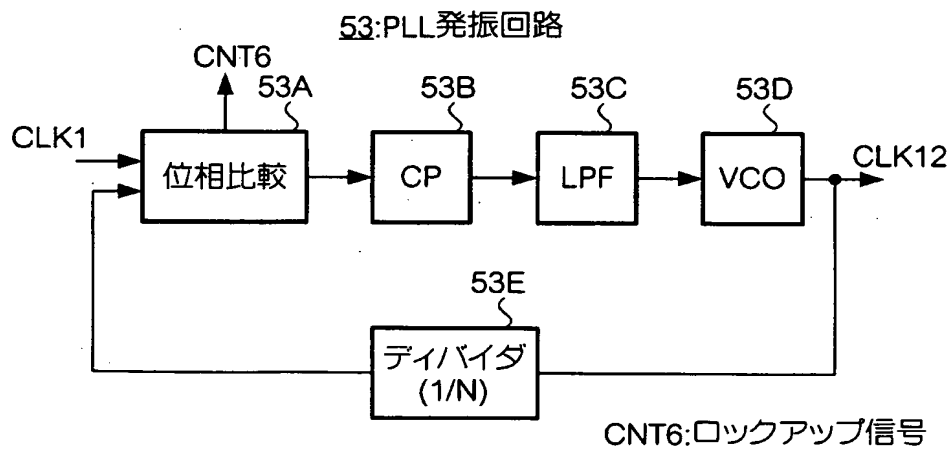
【図10】



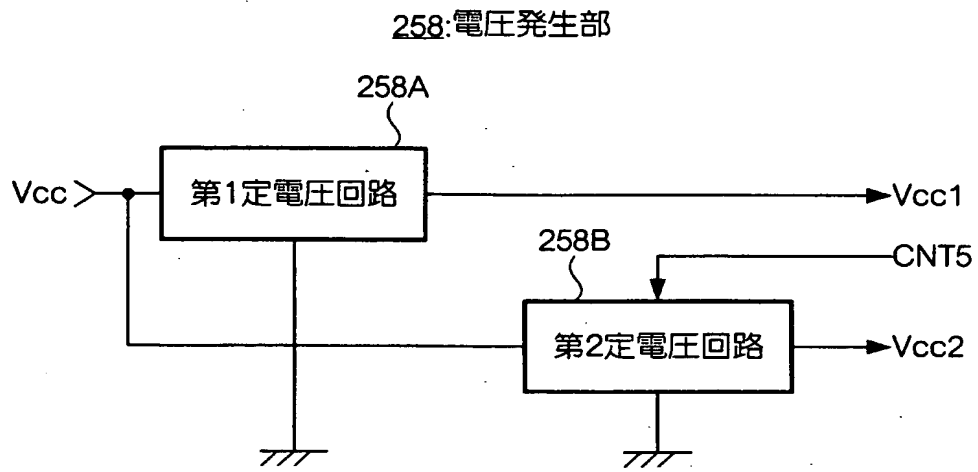
【図 1 1】



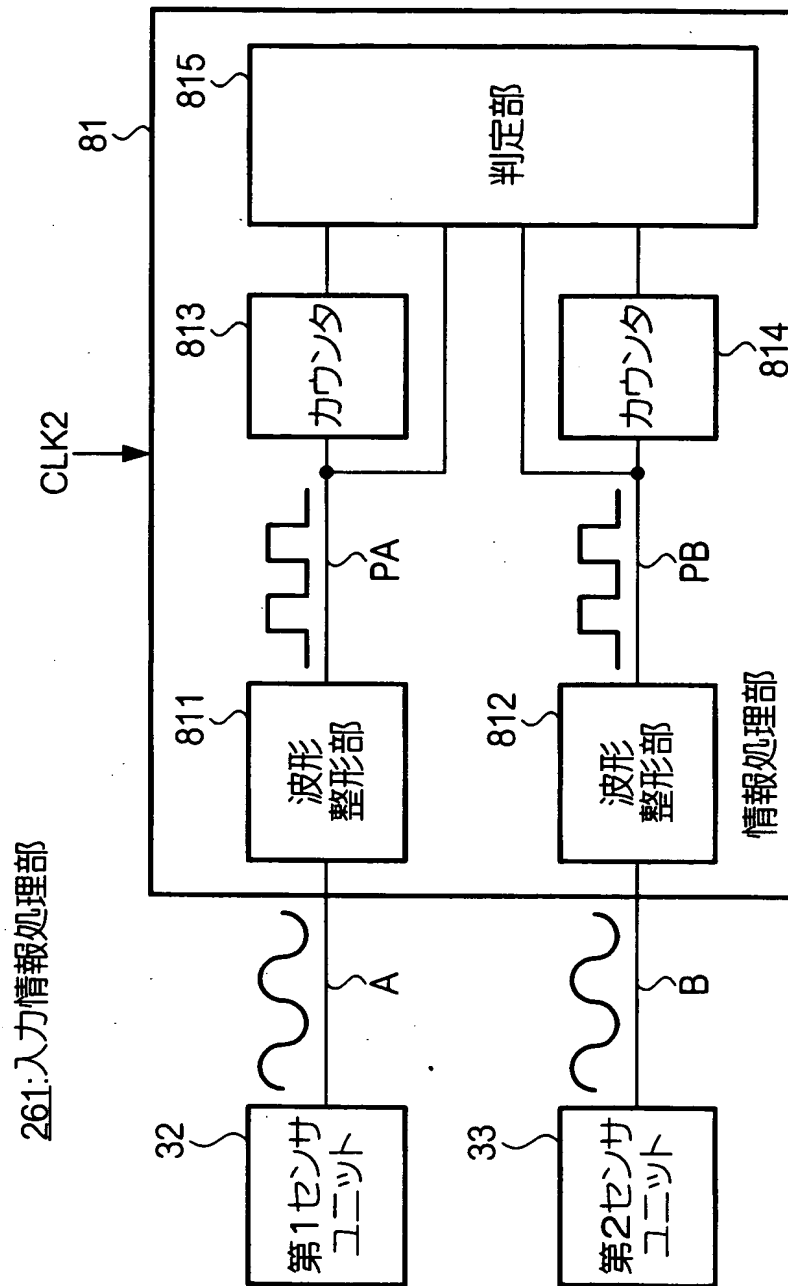
【図 1 2】



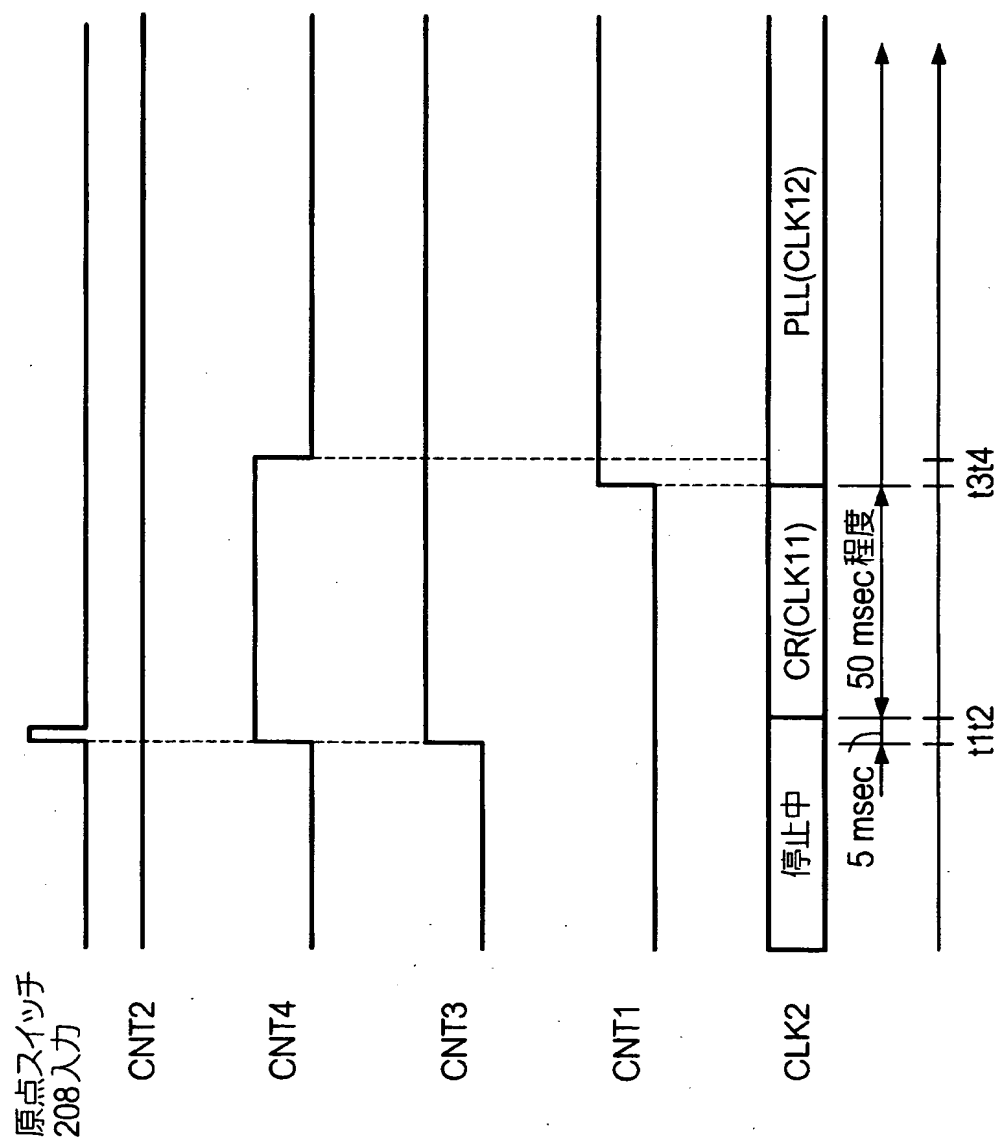
【図 1 3】



【図 14】

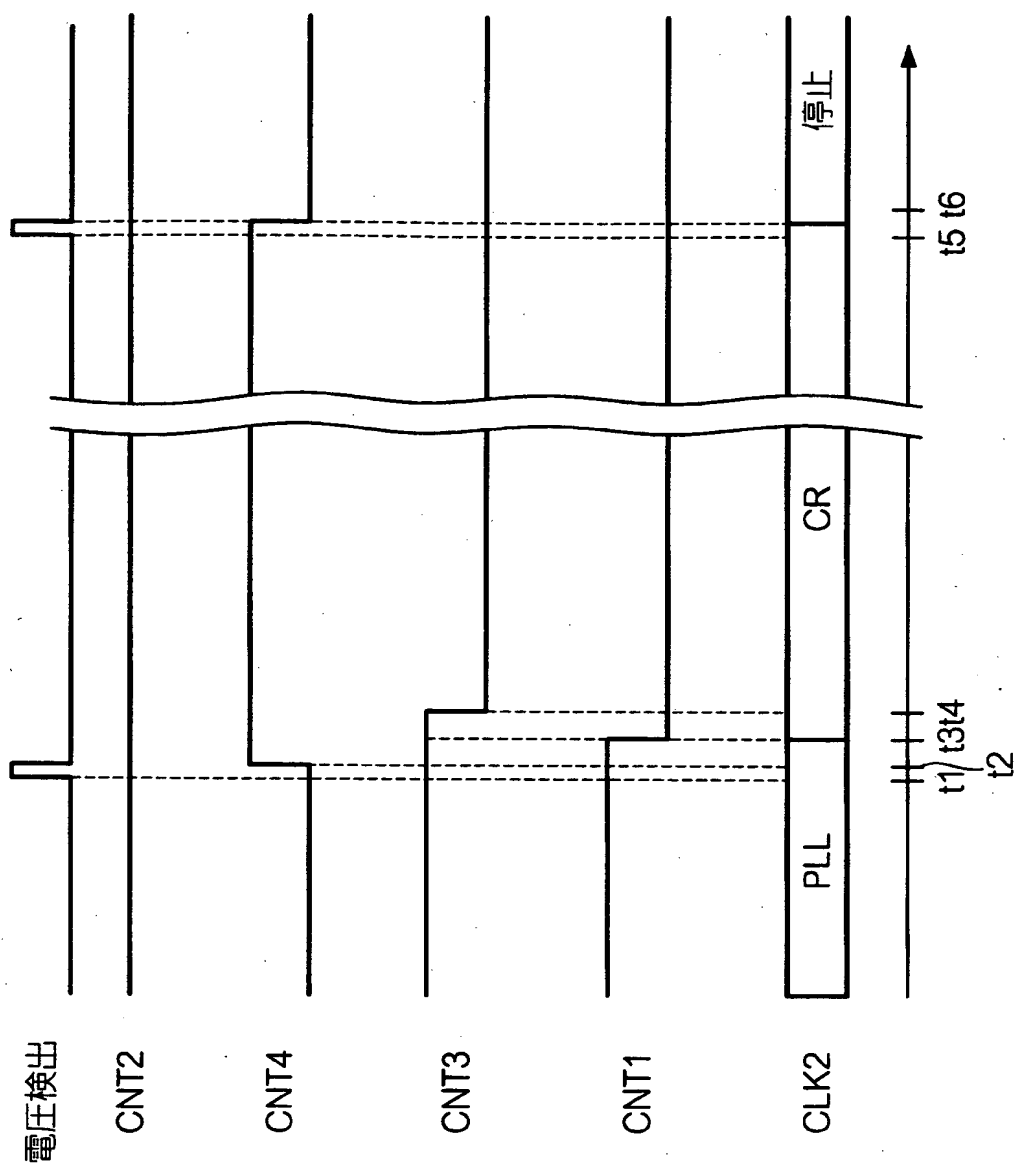


【図 1 5】



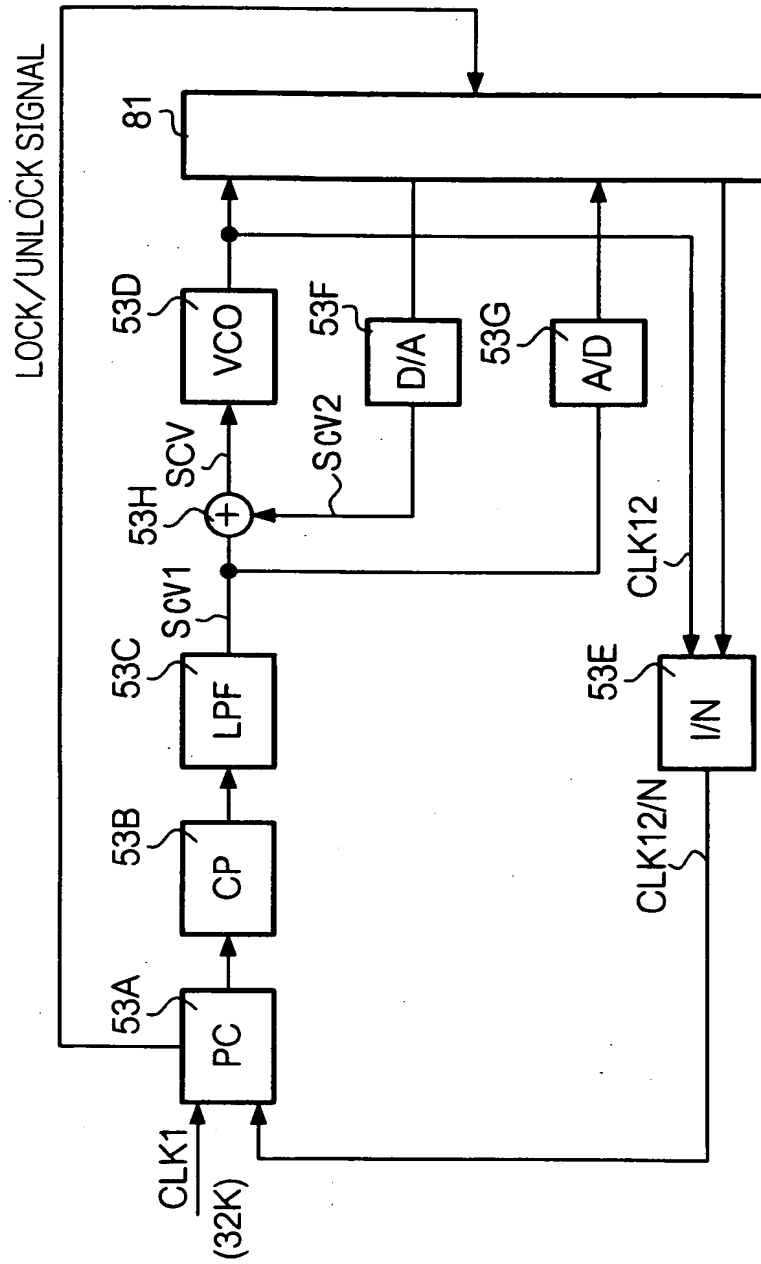


【図 16】

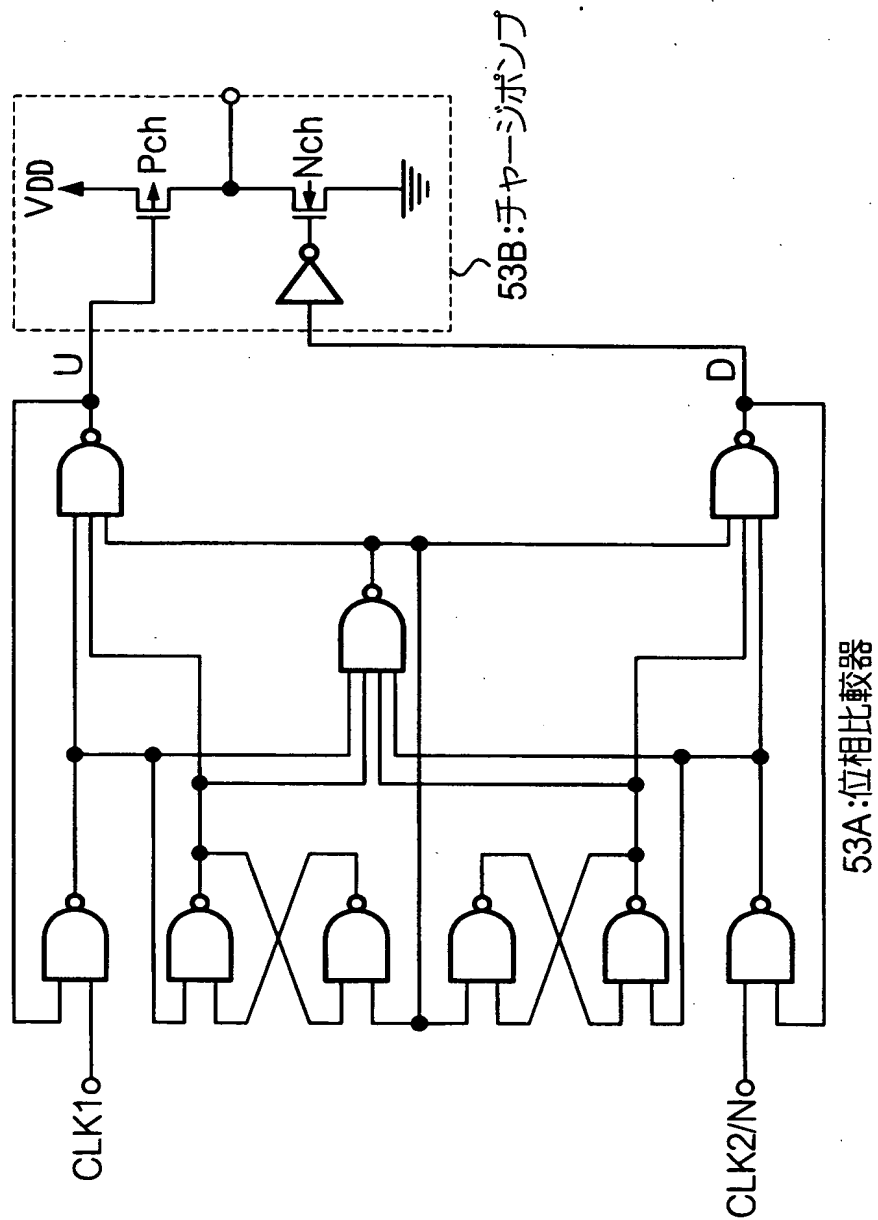


【図 17】

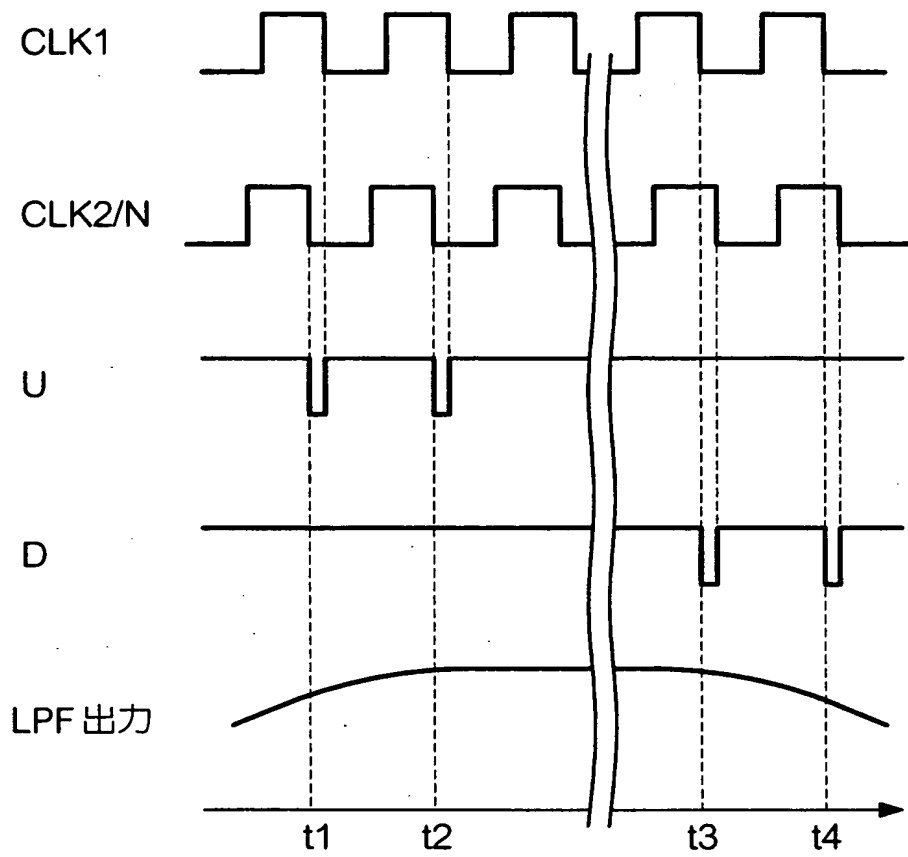
53:PLL発振回路



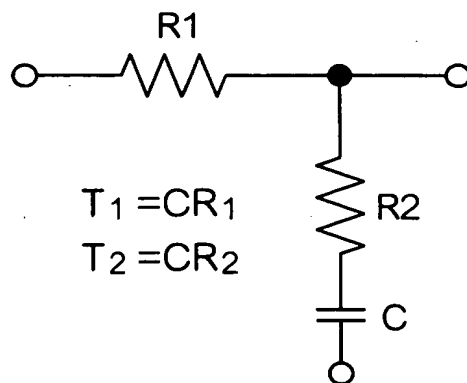
【図 1 8】



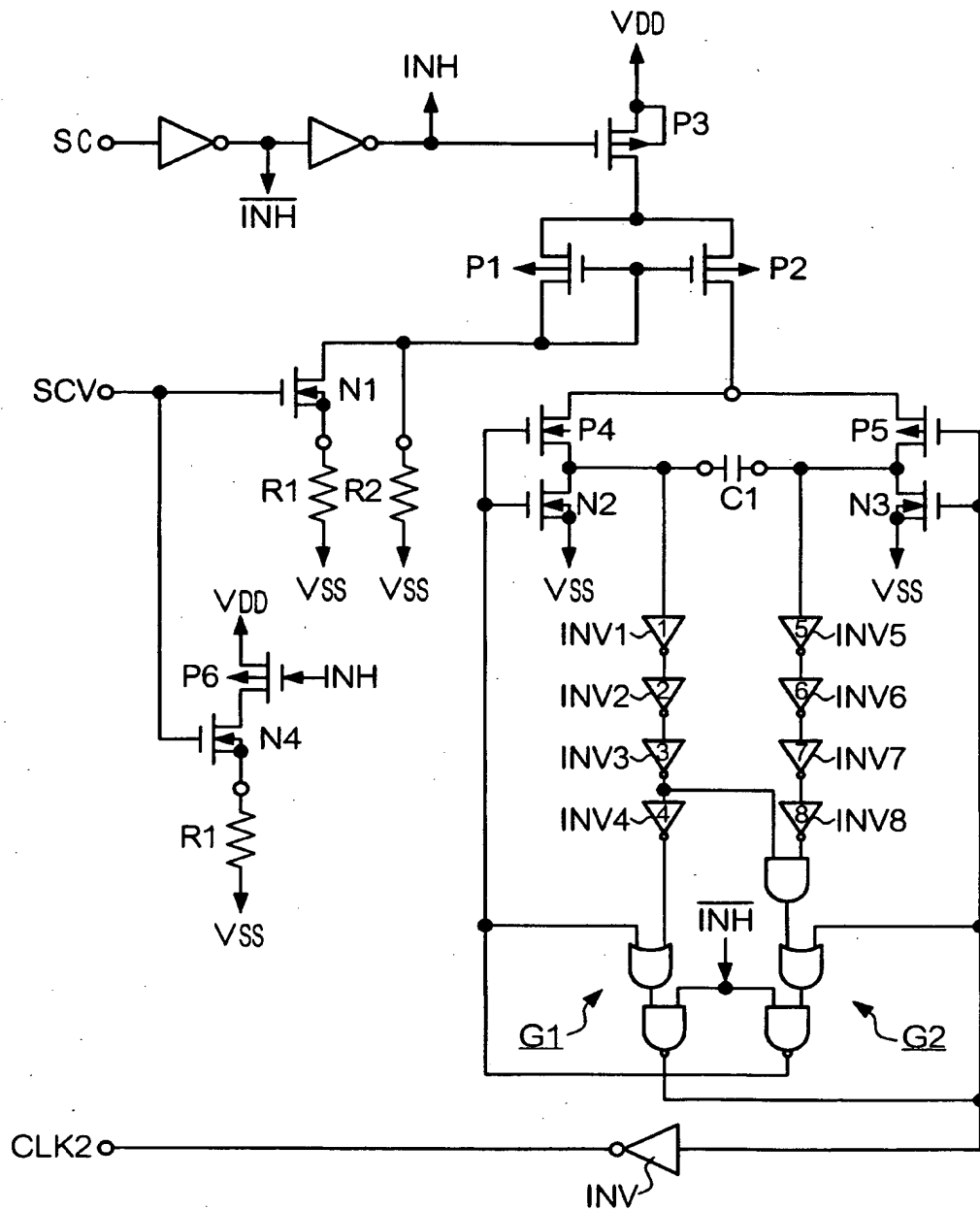
【図 19】



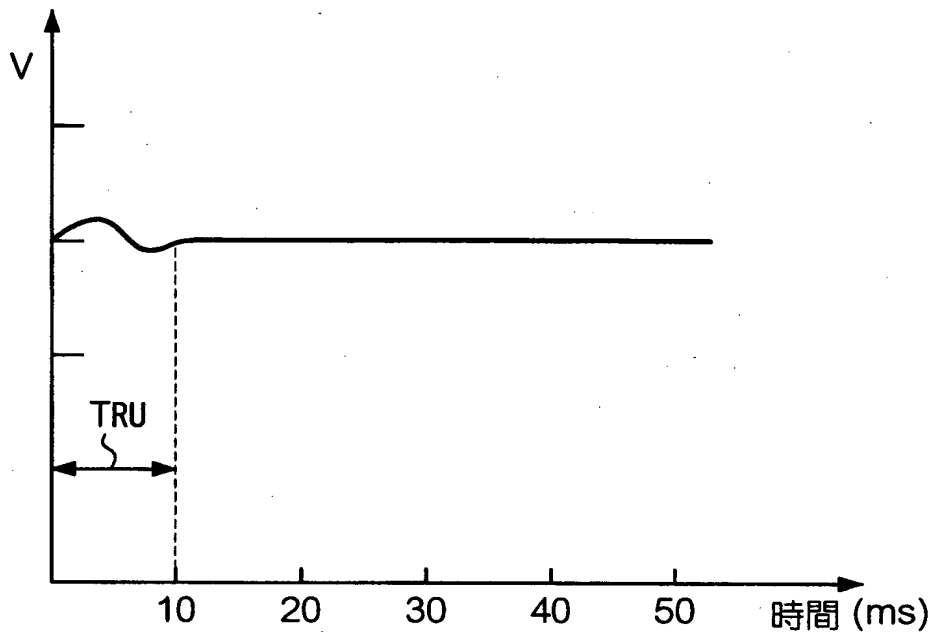
【図 20】



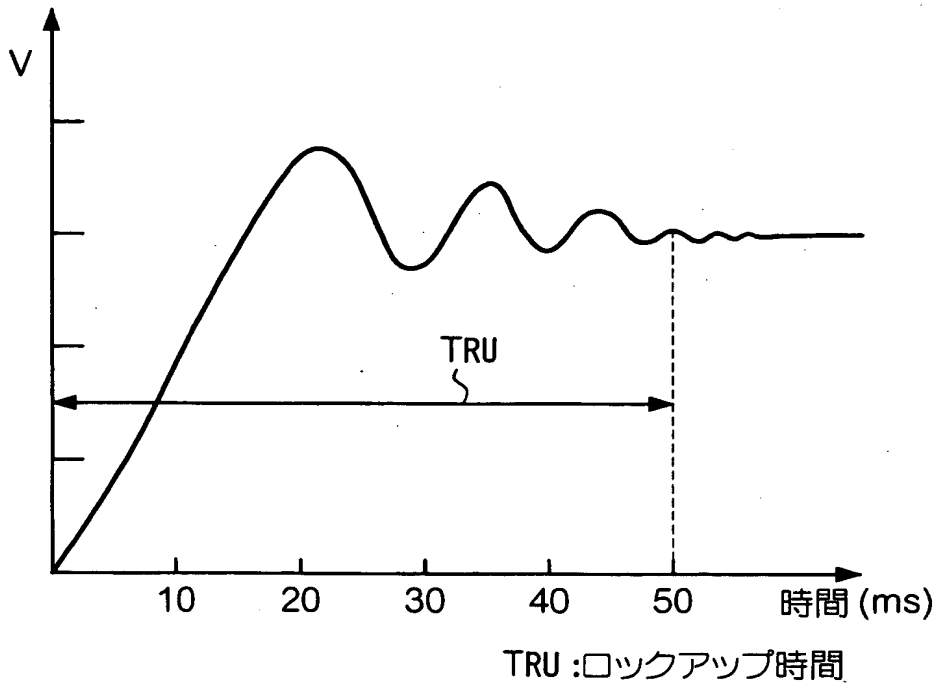
【図 21】



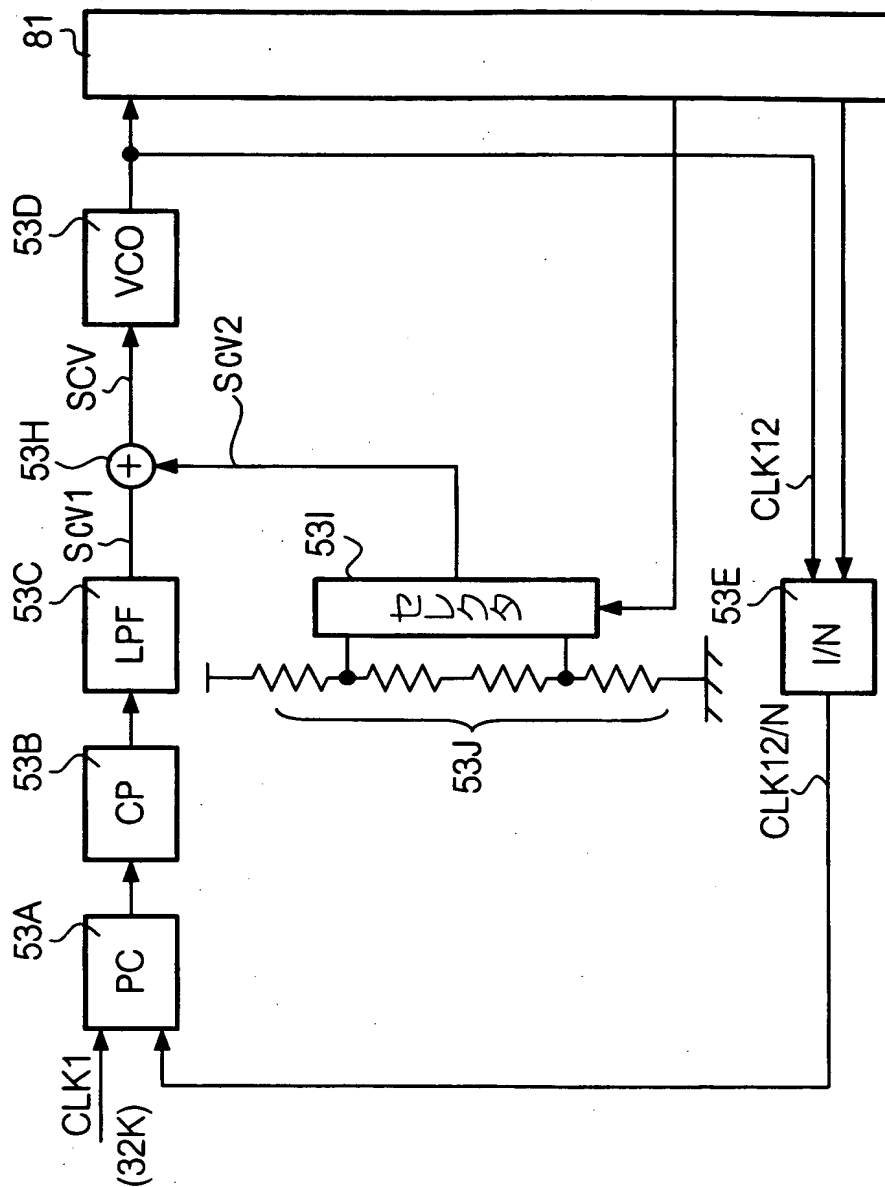
【図 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 消費電力を低減して処理の高速化を図る。

【解決手段】 C R 発振回路と P L L 発振回路とを使い分けることにより、これら二つの発振回路を低消費電力で発振安定待ち時間が短く動作下限電圧が低い高速発振回路として機能させる。

【選択図】 図 9



認定・付加情報

特許出願の番号	特願 2001-091111
受付番号	50100441050
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 3月30日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100098084
【住所又は居所】	東京都中央区日本橋一丁目2番10号 東洋ビル ディング7階 朝日特許事務所
【氏名又は名称】	川▲崎▼ 研二

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社